

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the DC/DC power converter which has an output. It has the control circuit which controls said output voltage. Power converter which performs override control to said control circuit, and performs the minimum current limiting according to the condition of the circuit connected to said power converter or this.

[Claim 2] The power converter which is equipped with a controlled rectifier and makes zero further the negative current which flows through said controlled rectifier mostly by said override control in claim 1.

[Claim 3] The power converter by which said override control raises a voltage output, and performs said minimum current limiting in claim 2.

[Claim 4] The power converter by which said override control performs foldback or the fold forward minimum current limiting in claim 3.

[Claim 5] The power converter by which said override control answers the condition of a signal of expressing the output current, in claim 3.

[Claim 6] The power converter by which said override control answers the detected output current directly in claim 5.

[Claim 7] The power converter said whose signal with which the output current is expressed in claim 5 is the 2nd current in a power converter.

[Claim 8] The power converter said whose signal with which the output current is expressed in claim 7 is the detected current which flows the controlled rectifier in a power converter.

[Claim 9] The power converter which is the current on which said signal showing the output current flows OR connection transistor connected to the output of a power converter in claim 8.

[Claim 10] The power converter which includes further disabling at least one controlled rectifier in a power converter circuit in claim 3 according to a decision logic.

[Claim 11] The power converter which is the transistor in which said at

least one controlled rectifier by which a disable is carried out is making OR connection in the output of a power converter in claim 10.

[Claim 12] The power converter said whose minimum current limiting is a negative current in claim 3.

[Claim 13] It sets to claim 3 and is a pan. The 1st and the 2nd primary transformer coil which were connected to the power source, The secondary transformer coil circuit which was connected to at least one of said the 1st and 2nd primary transformer coils and which has at least one secondary coil, Are two or more controlled rectifiers, and each controlled rectifier becomes off with ON synchronizing with the voltage waveform of primary coil both ends, and said output is supplied. Two or more controlled rectifiers which have the voltage waveform in which a each primary coil has a short transition duration to the time amount of the ON state of a fixed duty cycle and said controlled rectifier, and an OFF state, Controller which adjusts said output while maintaining said fixed duty cycle Power converter which it has.

[Claim 14] Controlled rectifier in a power circuit Connection impedance between the power circuit wave of said controlled rectifier, and a control terminal Hold-off circuit which operates so that said controlled rectifier may be disabled DC / DC power converter which it has.

[Claim 15] The power converter said whose controlled rectifier is a synchronous detector in said power circuit in claim 14.

[Claim 16] The power converter which is the transistor by which OR connection of said controlled rectifier is made in claim 14 at the output of a power converter. [Claim 17] The power converter currently formed in claim 14 in the perfect passive network where said connection impedance was connected between said power circuit waves and said control terminals of a controlled rectifier.

[Claim 18] The power converter by which said power circuit wave is a voltage waveform, and said controlled rectifier is realized in claim 14 using MOSFET.

[Claim 19] The power converter circuit where said connection impedance is equipped with the capacitor in claim 14.

[Claim 20] The power converter circuit where said connection impedance is equipped with resistance of a capacitor and juxtaposition in claim 19.

[Claim 21] Power converter by which said connection impedance attenuates said power circuit wave in claim 14 when said hold-off circuit is inactive

[Claim 22] The power converter further equipped with the parallel impedance connected to juxtaposition in said hold-off circuit in claim 21.

[Claim 23] The power converter equipped with the transistor to which

said hold-off circuit holds a controlled rectifier by the ON state between said control terminal of a controlled rectifier, and another terminal in claim 14.

[Claim 24] The power converter which equips said transistor and serial with diode further in claim 23.

[Claim 25] The power converter further equipped with the impedance of juxtaposition to said transistor and diode in claim 24.

[Claim 26] The power converter which said wave-like average by which said control terminal of a controlled rectifier is supplied, and the wave which has the negative average is supplied to said control terminal in claim 14 when said hold-off circuit is inactive when said hold-off circuit is active increases gradually.

[Claim 27] The power converter by which said hold-off circuit is started with enabling / disable signal from a decision logic in claim 14.

[Claim 28] The power converter by which said hold-off circuit is started in claim 27 when a power converter is intercepted.

[Claim 29] The power converter by which said hold-off circuit answers generating of the fall condition of the output voltage from a power converter, and is started in claim 27.

[Claim 30] The power converter by which said hold-off circuit answers generating of the fall condition of the output current from a power converter, and is started in claim 27.

[Claim 31] The power converter by which said hold-off circuit is started between startings of a power converter in claim 27.

[Claim 32] The power converter by which said hold-off circuit is started between the change transient periods to OFF of a power converter in claim 27.

[Claim 33] The power converter by which said hold-off circuit answers an external signal, and is started in claim 27.

[Claim 34] The power converter which said hold-off circuit answers generating in the condition that the wave of said control terminal of a controlled rectifier does not cause a right drive, and is started in claim 27.

[Claim 35] The power converter by which said hold-off circuit answers the fall of the output voltage from the accommodation stage of a power converter, and is started in claim 34.

[Claim 36] It sets to claim 14 and is a pan. The 1st and the 2nd primary transformer coil which were connected to the power source, The secondary transformer coil circuit which was connected to at least one of said the 1st and 2nd primary transformer coils and which has at least one secondary coil, Are two or more controlled rectifiers, and each

controlled rectifier becomes off with ON synchronizing with the voltage waveform of primary coil both ends, and said output is supplied. Two or more controlled rectifiers which have the voltage waveform in which a each primary coil has a short transition duration to the time amount of the ON state of a fixed duty cycle and said controlled rectifier, and an OFF state, Controller which adjusts said output while maintaining said fixed duty cycle Power converter which it has.

[Claim 37] Controlled rectifier which answers the control wave supplied to a control terminal Decision logic which generates enabling / disable signal and disables said controlled rectifier Circuit which said enabling / disable signal are answered, and said controlled rectifier changes ON or an off degree gradually, and avoids almost momentary fluctuation of said output voltage in case said controlled rectifier is enabling or a disable by that cause DC/DC power converter which it has.

[Claim 38] The power converter by which said control wave is passively supplied from the power circuit wave of a power converter in claim 37.

[Claim 39] It sets to claim 38 and is a connection impedance between the power circuit wave of said controlled rectifier, and said control terminal further. Hold-off circuit started in order to disable said controlled rectifier Power converter which it has.

[Claim 40] It sets to claim 39 and is a pan. The 1st and the 2nd primary transformer coil which were connected to the power source, The secondary transformer coil circuit which was connected to at least one of said the 1st and 2nd primary transformer coils and which has at least one secondary coil, Are two or more controlled rectifiers, and each controlled rectifier becomes off with ON synchronizing with the voltage waveform of primary coil both ends, and said output is supplied. Two or more controlled rectifiers which have the voltage waveform in which a each primary coil has a short transition duration to the time amount of the ON state of a fixed duty cycle and said controlled rectifier, and an OFF state, Controller which adjusts said output while maintaining said fixed duty cycle Power converter which it has.

[Claim 41] The power converter by which said controlled rectifier becomes a disable in claim 37 when a power converter is intercepted.

[Claim 42] The power converter by which generating of the fall condition of the output voltage from a power converter is answered, and said controlled rectifier becomes a disable in claim 37.

[Claim 43] The power converter by which generating of the fall condition of the output current from a power converter is answered, and said controlled rectifier becomes a disable in claim 37.

[Claim 44] The power converter by which said controlled rectifier

becomes a disable between startings of a power converter in claim 37.

[Claim 45] The power converter said whose controlled rectifier is a disable between the change transient periods to OFF of a power converter in claim 37.

[Claim 46] The power converter by which said controlled rectifier answers an external signal, and becomes a disable in claim 37.

[Claim 47] The power converter by which said controlled rectifier answers generating in the condition that the wave of said control terminal of a controlled rectifier does not cause a right drive, and becomes a disable in claim 37.

[Claim 48] The power converter by which said controlled rectifier answers the fall of the output voltage from the accommodation stage of a power converter, and becomes a disable in claim 47.

[Claim 49] The power converter by which said control wave has a negative average value in claim 37 when said controlled rectifier is a disable.

[Claim 50] The power converter by which the resistance / capacity circuit between power circuit waves decide on the time amount from which said average of said controlled rectifier changes as said control terminal in claim 49.

[Claim 51] The power converter by which the resistance / capacity circuit between power circuit waves decide on the time amount from which said average of said controlled rectifier changes as said control terminal in claim 37.

[Claim 52] Controlled rectifier which answers the control wave supplied to a control terminal Decision logic which generates enabling / disable signal and disables said controlled rectifier when the wave supplied to said control terminal of said controlled rectifier does not cause a right drive DC/DC power converter which it has.

[Claim 53] The power converter by which said controlled rectifier answers the fall of the output voltage from the accommodation stage of a power converter, and becomes a disable in claim 52.

[Claim 54] The power converter by which said controlled rectifier answers the fall of a power rail (power rail), and becomes a disable in claim 52.

[Claim 55] The power converter by which said controlled rectifier answers the wave in the power circuit which takes out the control wave supplied to said control terminal, and becomes a disable in claim 52.

[Claim 56] It is the approach of performing DC/DC power conversion. Step which controls output voltage through a control circuit Step which makes control of said control circuit an invalid temporarily, and performs the minimum current limiting How to include.

[Claim 57] How to make zero mostly flow of the negative current which passes along a controlled rectifier in claim 56.

[Claim 58] How to raise said output voltage and to perform said minimum current limiting in claim 57.

[Claim 59] How to answer the signal showing the output current in claim 56, and to perform an invalid temporarily [said].

[Claim 60] It is the approach of performing DC/DC power conversion. A power circuit wave and step which prepares a connection impedance between the control terminals of the controlled rectifier in said power circuit Step which activates a hold-off circuit and disables said controlled rectifier How to include.

[Claim 61] The approach said connection impedance attenuates said power circuit wave in claim 60 when said hold-off circuit is inactive.

[Claim 62] How to have the transistor to which said hold-off circuit holds a controlled rectifier by the ON state between said control terminal of a controlled rectifier, and another terminal in claim 60.

[Claim 63] The approach said hold-off circuit has diode further in said transistor and serial in claim 62.

[Claim 64] How to prepare the impedance of said transistor and diode, and juxtaposition further in claim 63.

[Claim 65] How to include further increasing gradually said wave-like average supplied to said control terminal, when the wave which has the negative average for said control terminal of a controlled rectifier in claim 60 while said hold-off circuit is operating is supplied and said hold-off circuit does not operate.

[Claim 66] How to include further starting said hold-off circuit with enabling / disable input signal from a decision logic in claim 60.

[Claim 67] The approach which said hold-off circuit answers generating in the condition that the wave of said control terminal of a controlled rectifier does not cause a right drive, and is started in claim 66.

[Claim 68] The approach by which said hold-off circuit answers the fall of the output voltage from the accommodation stage of said power converter, and is started in claim 67.

[Claim 69] It is the approach of DC/DC power conversion. The step which controls the controlled rectifier which answers the control wave supplied to the control terminal of said controlled rectifier, The step which generates enabling / disable signal in decision logic, and disables said controlled rectifier, Answer said enabling / disable signal, and said controlled rectifier changes ON or an off degree gradually. Step which avoids almost momentary fluctuation of said output voltage in case said controlled rectifier is enabling or a disable by

that cause How to include.

[Claim 70] The approach by which said control wave is passively supplied from the power circuit wave of a power converter in claim 69.

[Claim 71] Step which prepares a connection impedance between the power circuit wave of said controlled rectifier, and said control terminal in claim 70 Step which starts a hold-off circuit and disables said controlled rectifier How to include further.

[Claim 72] The approach which said controlled rectifier answers generating in the condition that the wave of said control terminal of a controlled rectifier does not cause a right drive, and disables in claim 69.

[Claim 73] The approach which said controlled rectifier answers the fall of the output voltage from the accommodation stage of a power converter, and disables in claim 72.

[Claim 74] The approach said control wave has the negative average in claim 69 when said controlled rectifier is a disable.

[Claim 75] It is the approach of DC / DC power conversion. Step which answers the control wave supplied to the control terminal of said controlled rectifier, and controls a controlled rectifier Step which generates enabling / disable signal in a decision logic, and disables said controlled rectifier when the wave supplied to said control terminal of a controlled rectifier does not cause a right drive How to include.

[Claim 76] The approach which said controlled rectifier answers the fall of the output voltage from the accommodation stage of said power converter, and disables in claim 75.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Background of the Invention]

The switching type DC to DC converter was not based on an insulating mold or a non-insulating mold, but from the former, the combination of a transistor and diode was used for it and it has realized the SUITCHINNGU function. Diode has been transposed to the transistor called a "synchronous detector" in order to reduce the consumption power of a converter recently. Generally, although MOSFET is used for a synchronous detector, other transistors, for example, BJT, and JFET(s) of a type can also be used. Although they can realize a low ON state electrical potential difference compared with diode, these transistors are one of these, need to supply a voltage waveform to a "control terminal" (for example, gate terminal of MOSFET), and need to switch it to turning on and off by the count proper in a switching cycle. If most transistors (MOSFET is included) are turned on, they can pass a current also in the direction of either. Depending on transistors (for example, MOSFET etc.), it has the reverse parallel connected type diode of a proper in the structure, and with the diode, when a transistor is OFF, a current flows. Depending on the case, a Schottky diode is put on a transistor by reverse juxtaposition, and the current at the time of transistor-off is passed. Said diode is because it has the turn-off recovery time of a low ON state electrical potential difference and a high speed compared with the diode (body diode) which the transistor itself has. It does not call at the interior or the exterior, but on these specifications, this reverse juxtaposition diode is called "a non-controlled rectifier (rectifier which is not controlled)", and is distinguished from the flow part (active part) (namely, channel of MOSFET) of a transistor called "a controlled rectifier (rectifier controlled)" with this specification.

[0002]

Although the synchronous detector has suited the DC to DC converter good, a problem occurs in an application when two or the DC to DC converter beyond it needs to interact by the output side. The DC to DC converter which uses a controlled rectifier passes the negative output current. This phenomenon is not generated when using only diode.

[0003]

For example, two DC to DC converters are connected to juxtaposition, it is large, or when giving redundancy and supplying output power, one converter supplies the larger output current than a load demand, and the converter of another side draws the negative output current, and removes a part for a surplus. Generally this is generated. Because, the 1st

converter is because the higher output voltage which the 2nd converter needs is needed.

[0004]

The approach of sharing a current between the converters by which parallel connection was carried out solves this problem in a steady state. However, by the aforementioned approach, it becomes difficult to operate normally during a "starting" transient period when a converter is switched to ON, or is switching and has not reached a steady state. Moreover, by the aforementioned approach, when one or more converters are in the condition of current limiting or short circuit protection, operating normally becomes difficult. In said condition, it oscillates or the DC to DC converter with which parallel connection of many equipped with a synchronous detector is carried out has other performance problems.

[0005]

In the parallel connection converter which operates by the steady state, the load current is not completely shared between converters. When the whole load current is small, one or more DC to DC converters may actually draw a negative current. In this condition, the above-mentioned engine-performance problem may be caused and the inefficient condition through which it circulates at least between DC/DC to which parallel connection of the surplus power was carried out is generated.

[0006]

When redundancy is required, it is made for the converter which does not function on one normal not to reduce an output bus in many cases by connecting between the outputs of the converter by which parallel connection was carried out through diode. This "OR connection diode (ORing diode)" The above-mentioned problem is solvable. It is because it is prevented by this approach that a converter draws the negative output current. However, it is desirable to transpose OR connection diode to "OR connection transistor (ORing transistor)" (or transistor connected so that it might operate), and to reduce power consumption. OR connection transistor may contain at least a non-controlled rectifier (rectifier which is not controlled), including a controlled rectifier (rectifier controlled). Since a controlled rectifier can pass a current in both directions when switched to ON, OR connection transistor does not solve a negative current problem.

[0007]

That the above-mentioned negative current problem other than a parallel connection converter becomes important is the case where connect during two or the output of the converter beyond it, and it is guaranteed that

those output voltage does not exceed fixed limiting value. For example, in the system which uses both 5V output converter and a 3.3V output converter, a "clamp diode" is placed between 3.3V output and 5V output, and it is guaranteed that 3.3V output does not become higher than the value which applied one diode drop to 5V output in many cases. On the contrary, chain connection of three or the four clamp diodes can be made at a serial, it can place between 5V output and 3.3V output, and it can be guaranteed that the former does not become high compared with the latter.

[0008]

The condition of sharing the output current with one converter larger when these transistors become a forward bias than the current which a whole load needs exists again during starting or other specific transient periods, and other converters may draw a negative current. It oscillates in said condition or this converter stops operating correctly.

[0009]

Whichever it makes [of whether it lets OR connection transistor pass or to let a clamp diode pass] it, when direct continuation of each converter is carried out in each of that output, another conditions which a negative current problem generates occur, when one of the converters "is intercepted." This cut off state is generated in the result of the protection network of the converter itself which is ordered from the outside through ON / off control input, or detects abnormality conditions, such as an electrical potential difference, a current, or too high temperature. The converter which is intercepted in such all cases draws a negative current from another converter holding the first one output voltage.

[0010]

Other conditions which have not been described here may occur, a problem may be caused by the engine performance of the DC to DC converter equipped with the synchronous detector, and a negative current may be drawn.

[0011]

[Summary of the Invention]

In order to avoid the above-mentioned problem, the one problem-solving approach shown here is what a synchronous detector and/or OR connection transistor are made into "a disable (invalid)" for (that is, it is made not to turn on) on the conditions which generate a problem. Although the output current will flow as it is if it does in this way, it flows only by letting a non-controlled rectifier pass. These non-controlled rectifiers prevent that a negative current flows, therefore the problem

relevant to a negative current does not generate them.

[0012]

When generating of a negative current problem is predicted, or when the result in a certain condition of having been detected shows existence of a problem, a controlled rectifier is disabled in this way.

[0013]

When the conditions which generate a negative current problem stop existing, a non-controlled rectifier can be again made "enabling (effective)" (that is, for it to turn ON), and can be operated as an intention.

[0014]

Since it is small compared with the voltage drop of non-controlled rectifier both ends, when a controlled rectifier is enabling rapidly, in output voltage, transient phenomenon generates the voltage drop of controlled rectifier both ends. In order to avoid transient phenomenon, a non-controlled rectifier is turned ON and the average ON state electrical potential difference of the combined device is changed from the ON state electrical potential difference of a non-controlled rectifier gradually (as opposed to the bandwidth of a converter) at the ON state electrical potential difference of a controlled rectifier. An "average ON state electrical potential difference" means the average of the voltage drop of the parallel connection both ends of a controlled rectifier and a non-controlled rectifier while the current is flowing. This time amount is a part with a whole switching cycle short to a synchronous detector.

[0015]

The another problem-solving approach shown to a negative current problem here is including the "minimum current limiting" in the control circuit of a DC to DC converter. If the output current becomes smaller than this threshold about the output current as compared with a specific threshold (threshold level), the minimum current limiting will make output voltage high, and will restrict the fall beyond it of a current. threshold current level -- small -- negative and zero -- or you may be forward slightly. Furthermore, the minimum current limiting is realizable using either a fold forward, a constant current source or a foldback property.

[0016]

These [for avoiding a negative current problem] two approaches (namely, the approach of disabling a controlled rectifier and the approach incorporating the minimum current limiting) are separate, or can be used for one clue.

[0017]

According to one configuration of this invention, a DC/DC power converter includes the control circuit which controls the output voltage of a converter. Furthermore, a converter performs the minimum current limiting according to a power converter or the connected circuit including the override control to a control circuit. Preferably, a power converter makes zero substantially the negative current by which override control passes along the controlled rectifier of a synchronous detector including a synchronous detector.

[0018]

In order to perform the minimum current limiting, override control may raise the voltage output of a power converter. The minimum current limiting is made to negative [small] or a forward current, and can take the gestalt of a current source, foldback, or a fold forward.

[0019]

The direct reaction of the override control may be carried out to other specific signals showing the detected output current or the output current. For example, the signal showing the output current is good with the current detected within power converters, such as a current which flows OR connection transistor connected to the output of a power converter, or a current which flows other controlled rectifiers in a power converter.

[0020]

Furthermore, according to a decision logic, at least one controlled rectifier in a power converter circuit is made as for this system to a disable. For example, OR connection transistor of the output of a power converter is made to a disable.

[0021]

One power converter which applies this invention is equipped with the 1st and 2nd primary side transformer coil connected to the power source. A secondary transformer coil circuit has at least one secondary coil connected to at least one of the 1st and 2nd primary side transformer coil. Each of two or more controlled rectifiers has the non-controlled rectifier of juxtaposition, and is connected to the secondary coil. Each controlled rectifier uses the voltage waveform of primary side coil both ends, is turned on and turned off synchronous, and offers an output. A each primary side coil has the voltage waveform which has a short transition duration to a fixed duty cycle (period of operation), and the ON state and OFF state of a controlled rectifier. A regulator adjusts an output, while a fixed duty cycle is maintained.

[0022]

According to another configuration of this invention, a DC/DC power

converter is equipped with a controlled rectifier and a non-controlled rectifier in a power circuit. A connection impedance is prepared between a power circuit wave and the control terminal of a controlled rectifier. In order to disable a controlled rectifier, a hold-off circuit is started.

[0023]

For example, OR connection transistor in the output of the synchronous detector in a power circuit or a power converter can be used as a controlled rectifier. The connection impedance between a power circuit wave and the control terminal of a controlled rectifier may be a perfect passive network. A power circuit wave is made to a voltage waveform. Moreover, a controlled rectifier is realizable by MOSFET.

[0024]

With a specific operation gestalt, a connection impedance can be equipped with a capacitor and can include resistance in the capacitor and juxtaposition. When a hold-off circuit does not operate by connecting parallel impedance to juxtaposition in a hold-off circuit, a power circuit wave can be decreased further. By having a transistor between the control terminal of a controlled rectifier, and another terminal, a hold-off circuit can hold a controlled rectifier at OFF, when a switch closes. Moreover, diode is connectable with a transistor at a serial.

[0025]

While the hold-off circuit is operating, the control terminal of a controlled rectifier can be made to generate a wave with a negative average. When a hold-off circuit does not operate, the wave-like average supplied to the control terminal increases gradually.

[0026]

A hold-off circuit can be started with enabling / disable input signal from a decision logic. Among starting of a power converter and the off change transient of a power converter, when the power converter is intercepted, a decision logic answers detection of the output voltage fall from a power converter, or answers an external signal, and can operate a hold-off circuit. Especially, the wave of the control terminal of a controlled rectifier answers detection in the condition of not causing a normal drive, and a hold-off circuit is made as for it to un-operating. For example, the low-battery condition which starts in the accommodation stage of a power converter is answered, and a hold-off circuit can be started. It answers that the wave which answers that the power rail (power rail) of a converter is too low, or controls a controlled rectifier is too low, and a hold-off circuit can be started.

[0027]

According to another configuration of this invention, a DC to DC converter is equipped with the controlled rectifier which operates according to the control wave supplied to a control terminal. A decision logic generates enabling / disable signal, and disables a controlled rectifier. A converter circuit avoids momentary fluctuation substantially [output voltage in case a controlled rectifier becomes enabling or a disable] by answering enabling / disable signal and changing gradually the degree by which a controlled rectifier is turned on or turned off. A control wave can be passively offered from the power circuit of a power converter. The resistance / capacity circuit between a control terminal and a power circuit can determine the time amount from which the average of a control wave changes.

[0028]

[Explanation of a desirable operation gestalt]

The above-mentioned of this invention and the other purposes, the description, and the advantage will become clear from detailed explanation of the following of the desirable operation gestalt of this invention shown in an accompanying drawing. In a drawing, the same reference mark points out the same components also in a different drawing. A drawing is not necessarily as a scale and emphasis is put on the principle of this invention being shown. Next, the desirable operation gestalt of this invention is explained.

[0029]

In order to let this whole explanation pass and to realize a synchronous detector and OR connection transistor (or transistor connected so that it might operate), MOSFET to which parallel connection of the diode was carried out is used. The reason is because it is a device with desirable MOSFET in this invention. If it is this contractor, how to include the concept shown here in the transistor of other types used instead can be learned.

[0030]

When using a synchronous detector for a DC to DC converter, there are two approaches in supplying a signal required turning on and turning off a controlled rectifier between switching cycles at a control terminal. It is the approach of calling the "active drive" approach henceforth, and one approach supplies a control signal using the electronic circuitry which can acquire timing information from the electrical potential difference or current wave form in other electronic circuitries or a power circuit. It is the approach of calling the "passive drive" approach henceforth, and the 2nd approach supplies a

control signal from the wave in a power circuit by whether to be direct and either which lets a passive network (resistance, a capacitor, and/or inductor) pass.

[0031]

The active drive approach is used for a non-insulating DC to DC converter in many cases. Drawing 1 R> 1 shows a switching transistor 101, the filter capacitor 103, 104 of 102 or 2 synchronous detectors, and the down converter that has the filter inductor 105. As shown in drawing 1, it is easy to design the same electronic control circuit 106 which switches the transistor 101 of a down converter to ON and OFF, and to turn on and turn off the synchronous detector 102 of this converter. Such an integrated circuit can come to hand from firms, such as LTC, Maxim, and Unitrode.

[0032]

Both can be used for the DC to DC converter of an active drive or a passive drive which has a transformer. Drawing 2 shows a transformer 201, the synchronous detector 202, 203 of 101 or 2 switching transistors, and the insulating mold forward converter that has a filter element 103, 104, 105. As shown in drawing 2, some designers drive a synchronous detector for an electronic control circuit in preparation for the output side of a converter. The output side control circuit 205 generates the timing signal of itself, and can drive transistors 202 and 203, and can pull out said timing signal from the wave of a power circuit, and can take out said timing signal from the signal (letting insulating association of a transformer or an optical coupler pass) further passed from the control circuit 204 of the input side of a power circuit to said output side control circuit 205. The example of these approaches is known in this technical field.

[0033]

Drawing 3 shows the example of the approach of carrying out direct continuation of the control terminal of a synchronous detector to the node of a power circuit, and controlling a synchronous detector 202, 203. When a control circuit 204 switches a transistor to ON, the forward electrical potential difference which this generates to transformer 201 both ends raises the electrical potential difference of Node A, and the electrical potential difference turns ON a synchronous detector 202. At this time, the electrical potential difference of Node B falls and, thereby, a synchronous detector 203 becomes off. Power flows for a load through a transformer from an input source between this time amount part of a switching cycle. A transistor 101 turns off and the electrical potential difference of transformer both ends becomes negative in

between for part II [cycle / which the transformer has reset / switching]. At this time, the electrical potential difference of Nodes A and B is an electrical potential difference by which a synchronous detector 202 is switched off and a synchronous detector 203 is switched to ON, consequently the flow of the current in an inductor 105 is maintained.

[0034]

Drawing 4 shows the deformation gestalt of the approach shown in drawing 3 , and auxiliary winding 403,404 is added to the primary insulating-transformer coil 401 and the secondary coil 402, and it drives the control terminal of a synchronous detector 202,203. As for the polar array of these auxiliary winding, between switching cycles and a right synchronous detector are certainly turned on, and the turn ratio is chosen so that the driver voltage of right level may be supplied. Other examples which use an auxiliary transformer coil are known in this technical field.

[0035]

To the passive drive approach, a passive component can be added between the control terminal of a synchronous detector, and a power circuit, and the result for which specification wishes can be obtained. For example, another DC to DC converter of the transformer base is shown in drawing 5 , the down converter stage which consists of a transistor 101,102 and a filter element 105,500,515 is included in this converter, and accommodation and an insulating stage are offered using two transformers which have the primary coils 501 and 503 and the secondary coils 502 and 504. A transistor 516,517 connects the primary coils 501 and 503 to the output of an accommodation stage by turns, and a synchronous detector 505,506 connects a secondary coil to the output capacitor 104 by turns. A capacitor / resistance dividing network (it consists of elements 507-510 and elements 511-514) is used, and a small driving signal is supplied to a synchronous detector 505,506 compared with the wave supplied by the power circuit by Nodes A and B. This concept is indicated by the PCT application WO 98/33267 (July 30, 1998 public presentation) at the detail, and quotes the whole sentence of those contents here as what makes some of these specifications.

[0036]

When the control terminal of a synchronous detector drives using an electronic circuitry, the approach of enabling or disabling those control terminals is easy. For example, as shown in drawing 6 , a logic gate 604 can be added to the signal path between a control circuit 602 and the gate driver 603 of a synchronous detector. This logic gate can

take many gestalten, and can constitute them from an integrated circuit or discrete part, and the location of that within a signal path has some versatility in addition to the arrangement shown here. These all will be immediately understood by this contractor. In all cases, a logic gate needs an input signal 605 and determines enabling / time of disabling for a synchronous detector with the input signal. The approach of generating said signal is explained later.

[0037]

When a control terminal drives in the voltage waveform or current waveform of a power circuit, a synchronous detector is made into enabling/disable using an option. For example, a "connection switch" is arranged to a serial at a control terminal, and a control terminal can be connected or cut by the wave of a power circuit. In addition to a connection switch, said circuit needs the "hold-off circuit" for maintaining a synchronous detector off certainly, when a connection switch is turned on.

[0038]

Drawing 7 shows one operation gestalt of this approach, and MOSFET701 is used to the synchronous detector of a power circuit. The connection switch 703 connects the wave of the power circuit 702 to the gate of MOSFET. This connection switch is switched on and turned off by the signal supplied to the control terminal 704 of that. A passive impedance like resistance is sufficient as a hold-off circuit 706, or when the connection switch 703 is ON, another switch turned on is sufficient as it, or it may be a still more complicated electronic circuitry. When using a resistor, when a synchronous detector is enabling further, in order to maintain the power consumption small, it is required [in order to discharge the parasitic capacitance of the MOSFET gate in required time amount it is sufficiently low resistance, and] to be resistance large enough.

[0039]

The option used for it when a control terminal drives in drawing 8 passively from the wave of a power circuit is shown. the switch of drawing 7 -- differing -- " -- connection impedance" 803 -- a power circuit wave -- it is arranged between 702 and the MOSFET701 control terminal used for a synchronous detector. enabling/This connection impedance acts in relation to a hold-off circuit 706, and disables MOSFET as follows. When MOSFET is a disable, a hold-off circuit starts and, thereby, the electrical potential difference between the gate-sources of MOSFET is reduced below to a threshold. between this condition and a connection impedance -- the wave of the control terminal

of MOSFET -- a power circuit wave -- you may differ from 702. On the contrary, when a synchronous detector is enabling, a hold-off circuit does not operate and a control terminal wave shows a power circuit wave (it is usually decreasing slightly). By this approach, a hold-off circuit needs an active component.

[0040]

By this 2nd approach, a connection impedance becomes the small value which can permit the level of the current which flows through a hold-off circuit while the hold-off circuit is operating, and on the other hand, when a hold-off circuit does not operate, it is necessary to choose it so that the wave of a control terminal may be maintained to a proper wave.

[0041]

Drawing 9 shows the concrete example at the time of applying to the capacitor / resistance dividing network which shows the concept shown in drawing 8 to drawing 5 . The parallel connection of a capacitor 903 and a resistor 904 forms a connection impedance, and the serial transistor 905 forms a hold-off circuit in diode 906 and this.

[0042]

Next, drawing 5 is considered. In drawing 5 , both synchronous detectors 505 and 506 have the connection impedance and hold-off circuit which are shown in drawing 8 and drawing 9 . A switch 905 and diode 906 are arranged at juxtaposition at RC circuits 508 and 509 and each of 512 and 514. When the insulating stage of drawing 5 switches, the wave of a node shown by A and B is a square wave. The electrical potential difference of a square wave is zero in between (here, a "reset half cycle" is called) for a half cycle [one], and an electrical potential difference becomes twice [about] an output between the one half of another side of a cycle (here, a "drive half cycle" is called). As for two square waves of Nodes A and B, the phase is shifted mutually 180 degrees. Refer to the PCT application WO 98/33267 (July 30, 1998 public presentation) for detailed explanation of actuation of a power circuit.

[0043]

The voltage waveform of the gate of a synchronous detector (resistance of juxtaposition and the time constant of a capacitor assume to be long at as compared with a switching period) a hold-off circuit in the state of un-operating is the same configuration as the wave of Nodes A and B. AC component -- the division effectiveness (decreasing [and] by $C507/(C507+C512)$ or $C511/(C511+C508)$, DC component is the division effectiveness $(R514/(R509+R514))$ -- or (it decreases by $R510/(R513+R510)$.) of resistance) of a capacitor It is possible to

maintain within rating the maximum electrical potential difference supplied to the gate terminal of a synchronous detector by this approach also in the condition that the electrical potential difference of Nodes A and B is too high. Thus, a connection impedance achieves two purposes in this case. That is, it is with the means which disables a voltage divider and a synchronous detector.

[0044]

For example, when output voltage is 15V, the minimum value is zero and the electrical potential difference of Nodes A and B serves as a square wave whose maximum is about 30V. The electrical potential difference of 30V is usually too high as an electrical potential difference supplied to the gate of MOSFET. However, if electrostatic capacity of a capacitor 507 is set to one half of capacitors 512 and the resistance of a resistor 509 is made into twice the resistor 514, the minimum value will be zero and the voltage waveform of the gate terminal of MOSFET506 will become the square wave which maximum decreased to about 10 V. Many MOSFETs can permit this range.

[0045]

Also when attenuation of a gating waveform is not as a request, the connection impedance shown in drawing 9 is added to a circuit, and a hold-off circuit is made to un-operating to a synchronous detector. It is only required to enlarge C904 compared with all the parasitic capacitance of the gate terminal of MOSFET (making R903 small further compared with the effective resistance of an inactive hold-off circuit), and to make wave-like attenuation into min.

[0046]

When the transistor of a hold-off circuit is turned on, a hold-off circuit is held, namely, it is clamped, and a gating waveform becomes close to zero between drive half cycles. Next, these gating waveforms become negative between reset half cycles. The reason is for capacitors 507 and 511 to appear in low impedance to wave-like AC component of Nodes A and B. Therefore, a gating waveform has the same square wave configuration as a former configuration. However, since DC component of these square waves is low, the maximum voltage which a gating waveform attains does not reach a gate-source threshold level required to turn ON MOSFET which should be driven.

[0047]

If a hold-off circuit operates, the current which flows through a transistor 905 will become small relatively compared with all the currents that flow through the whole connection impedance. as good approximation -- a transistor -- resistance 903 -- a passage -- flowing

-- DC -- a current -- a sink -- on the other hand -- a connection impedance -- a passage -- flowing -- AC -- a current -- the electrostatic capacity between the gate sources of a synchronous detector 701 (or external capacitor arranged at juxtaposition at the gate-source like the capacitor 508 of drawing 5) -- a passage -- flowing . Since it is relatively large compared with the impedance of a capacitor 904, this DC current of a resistor 903 is relatively small. Thus, the approach using a connection impedance can be managed with a smaller transistor compared with the approach using the connection switch shown in drawing 7 .

[0048]

A gating waveform may just become slightly between this disable condition by the voltage drop of the both ends of the diode of a hold-off circuit, and the series connection of a transistor. This forward value needs to be maintained lower than the threshold of MOSFET. As a technique which can be used for guaranteeing this condition, a Schottky diode is used, a hold and the ON state electrical potential difference of an off transistor are made as small as possible, and there is a technique which connects a hold-off circuit to negative potential instead of a ground further. Other techniques will be clear to this contractor, if the idea shown here can be given.

[0049]

It is a reason for adding diode to a serial to the transistor of the hold-off circuit shown in drawing 9 between reset half cycles that the value of a gating waveform is negative.

[0050]

Only one transistor is used instead of two and a hold-off circuit can disable two synchronous detectors. As shown in drawing 10 , the single transistor 1011 is connected to two gate terminals of synchronous detectors 1001 and 1002 through diodes 1007 and 1008. With this configuration, a transistor 1011 acts with diode 1007, clamps the gate voltage between [MOSFET / 1001] drive half cycles, then, acts with diode 1008, and clamps the gate voltage of MOSFET1002 in the following half cycle.

[0051]

Drawing 9 and 10 show the case where the transistor (905 or 1011) of a hold-off circuit is a bipolar transistor. Other transistors like MOSFET can be used.

[0052]

Although the above-mentioned explanation shows that most active drive approaches are used by the non-insulating mold converter, it can also

use the passive drive approach. For example, in the down converter of drawing 1 R> 1, as shown in drawing 11, the 2nd coil 1011 with a proper turn ratio can be added to an inductor 105, and it can connect with a gate terminal. With a hold-off circuit, the concept for using a connection switch or a connection impedance follows, and can be applied similarly also in this case.

[0053]

When connecting a DC to DC converter output to an output bus using OR connection transistor, a negative current problem can be solved by switching the controlled rectifier of this device off. Thus, it leaves the condition of having connected with the output bus, only by letting the non-controlled rectifier which does not pour a converter for a negative current pass. When [this] OR connection transistor 1202 can be controlled using the active electronic circuitry 1203 and a gate driver 1205 to be shown in drawing 12, a logic gate 1204 can offer enabling / disable function.

[0054]

The control terminal of OR connection transistor can be driven from the wave of a power circuit. Drawing 13 R> 3 shows one method of having carried this out to the converter of drawing 5. By this approach, the voltage waveform of the nodes A and B of the power circuit 1301 of drawing 5 is connected to the gate terminal of the OR connection MOSFET 1302 through diodes 1303 and 1304. As mentioned above, while a power circuit is switching, the voltage waveform of Nodes A and B is the square wave from which the phase shifted, and has the amplitude between an abbreviation zero volt and the twice [about] of output voltage. Diodes 1303 and 1304 detect these wave-like peaks that give the electrical potential difference between the gate sources near output voltage. For example, like [when the converter is not operating], when these waves do not appear, a resistor 1305 discharges the gate of OR connection transistor 1302, and turns OFF the transistor. In this case, the enabling / the disable approach which uses the above-mentioned connection switch, a connection impedance, and a hold-off circuit to a synchronous detector can be similarly used to OR connection here.

[0055]

According to the time of their becoming enabling or a disable regardless of enabling / approach for carrying out a disable about the controlled rectifier and/or OR connection transistor which consist of a synchronous detector, it is necessary to perform a logical decision. next, a radical [decision / this] -- carrying out -- proper "enabling / disable input signal" It generates to the above-mentioned logic gate, a connection

switch, or a hold-off circuit (or I am understood by this contractor that can give the idea shown here -- all -- others -- enabling / disable circuit -- receiving). Some approaches for offering enabling / disable input signal, in order to perform this decision are described below. It is "here. Decision logic" These approaches of calling can be used in independence, two, or three combination or more.

[0056]

The one decision logic approach which can be used is disabling when intercepting a converter for the controlled rectifier (rectifier controlled) and/or OR connection transistor which consist of a synchronous detector. This "cutoff decision logic" While the converter is not operating, it is guaranteed that a converter does not draw a negative current. This is realizable by pulling out enabling / disable input signal directly from a cutoff signal. Drawing 14 shows how to apply this to a non-insulating mold converter. In this drawing, it has the section 1407 where an electronic circuitry 106 answers one of the internal protection networks which detect the ON / off signal 1408 by which external supply is carried out, or an abnormal condition, and generate the cutoff signal 1406. A logic gate 1404 uses this cutoff signal as one of the inputs, and enables or disables the gate driving signal 1407 usual in the path top to the gate driver 1405 which leads to the gate terminal of a synchronous detector (OR connection transistor) 102. [0057]

When enabling / disable input signal (it is not related to whether it is pulled out from the combination of which decision logic or a decision logic) is arranged at the input side of an insulating mold converter, the bridge (bridge) of the insulating gap is carried out using the optical isolator shown in drawing 9 , and it can provide the output side of a converter with enabling / disable input signal. In this circuit, an optical isolator 1510 has the output transistor which drives the reversal buffer which consists of a transistor 1506 and a resistor 1507. Next, the output of this buffer drives the hold-off transistor 1505, and pulls down diodes 1503 and 1504 for the gate of the through synchronous detectors 1501 and 1502.

[0058]

In the cutoff decision logic approach, the alternate method for generating enabling / disable input signal is identifying indirectly the time of observing the wave of the power circuit where those configurations' change depending on whether the converter operating or not, and a converter being intercepted. For example, the electrical potential difference of the node X of drawing 1 , the electrical

potential difference of 101 both ends of drawing 1 , or the electrical potential difference of the secondary coil both ends of drawing 2 - 5 can be used. Drawing 16 shows one example of the approach of realizing this indirect approach to all these circuits. Peak detection of the electrical potential difference of the node which has a switching waveform is carried out by diode 1601, a capacitor 1602, and the resistor 1603. When the electrical potential difference of capacitor 1602 both ends is not under not switching [which becomes high] while a converter switches, the electrical potential difference becomes low. A comparator detects the partial pressure which divided this electrical potential difference, and compares it with reference voltage 1607. When the electrical potential difference of capacitor both ends is too low, it is shown that the converter suspended switching and the comparator output 1608 is set to low. Next, this low signal is used and the synchronous detector of the power circuit 1610 is disabled. Two or more switching nodes of a power circuit are also detectable. For example, both nodes A and B are detectable in the power circuit of drawing 5 using two diodes of a peak detector.

[0059]

The 2nd usable decision logic approach is disabling the controlled rectifier and/or OR connection transistor which consist of a synchronous detector, when output voltage is too low. This "output voltage fall logic" When output voltage declines compared with the time of normal actuation according to conditions, such as a starting, superfluous load current, and circuit short circuit or the other abnormality situations, it guarantees that a converter does not draw a negative current. This decision logic approach carries out direct detection of the output voltage using a comparator, and can realize it by inspecting whether an electrical potential difference is lower than a specific threshold (for example, 90% of normal values). Next, proper EBURU / disable input signal can be pulled out using a circuit as shown in drawing 17 . This circuit contains the comparator 1605 in comparison with the electrical potential difference which generates the value of output voltage (the resistance dividing network networks 1603 and 1604 are generated) by criteria 1602. According to general design theory, a hysteresis can be added to a comparator. This decision logic approach is realizable also by detecting other specific electrical potential differences or currents (output voltage being expressed) in a power circuit.

[0060]

The 3rd usable decision logic approach is disabling the controlled rectifier and/or OR connection transistor which consist of a synchronous

detector, when the output current falls below to a specific threshold level. This the "low-power output decision logic approach" Ideally, when it is set as zero, a converter starts and a negative current is drawn, the threshold which can be set disables a controlled rectifier and prevents that a negative current flows by that cause. However, it is not necessary to choose zero ampere to a threshold.

[0061]

For example, a negative value (for example, 1 - 10% of the rated current) is used slightly, and it can operate certainly as it meant until the converter became the load current of zero completely. Thereby, although some negative currents flow in an abnormal condition, it is not the degree which has a bad influence on system performance. Or a forward threshold level is used slightly and a converter can be prevented from drawing a negative current. Although the small forward load current flows not through a more efficient controlled rectifier but through a non-controlled rectifier by this, since current level is small, large power consumption is not generated.

[0062]

Generally, a threshold does not need to be highly precise (made in the range of a small negative value and a small forward value). Furthermore, a hysteresis is incorporable into the comparison performed.

[0063]

In order to measure the output current, the electrical potential difference of the both ends of a low resistor within a current path is measured, or some known approaches of using a current transformer can be used for a serial one of the switches. This is measurable at the input side of a converter in the current which can perform by the output side of a converter or expresses the output current.

[0064]

The option which realizes this decision logic approach is detecting the voltage drop of the both ends of a synchronous detector or OR connection transistor. Drawing 18 shows one example of use of the approach of this latter, and the connection impedance approach of drawing 10 is used in the power circuit of drawing 5 in this example of use. As long as a converter supplies the forward output current, this from which one side of Nodes A and B, another side, or both are always negative to Node C is dependent on through which of synchronous detectors 1001 and 1002 on the other hand (or both) it has flowed. Consequently, diodes 1801 and 1802 maintain the base of the hold-off transistor 1011 on a sufficiently low electrical potential difference, and make this transistor a turn-off, and enable a synchronous detector. When the load current becomes

negative, the base electrical potential difference of the hold-off transistor 1011 corresponds and rises by the electrical potential difference of Nodes A and B just becoming between the flow time amount of each synchronous detector (pull-up resistor object 1803 connected to forward output terminal V+OUT), consequently a transistor 1011 is turned on. Thereby, controlled rectifiers 1001 and 1002 become a disable as mentioned above.

[0065]

The 4th usable decision logic approach is disabling the controlled rectifier and/or OR connection transistor which consist of a synchronous detector between the starting stages of converter actuation. This the "starting decision logic approach" It guarantees that a converter does not draw a negative current between ON change transients. This approach is the "cutoff decision logic approach". Although it is realizable using the used above-mentioned approach, it is corrected by adding time delay and a controlled rectifier is maintained by the disable between a certain time amount after a converter is no longer intercepted any more. The option which realizes this decision logic approach is the "cutoff decision logic approach". The "loss-of-power electrical-potential-difference decision logic approach" It is combining. Before a controlled rectifier is enabling, a converter needs to operate and output voltage needs to be rising to the normal values.

[0066]

The 5th usable decision logic approach is an "off change transient" to which converter output voltage falls to zero gradually before a converter is intercepted. It is disabling the controlled rectifier and/or OR connection transistor which consist of a synchronous detector in between. This the "off change transient approach" It guarantees that a converter does not draw a negative current during this off change transient period. This decision logic approach is the "cutoff decision logic approach" further again. Although it is realizable using the used above-mentioned approach, it is changed between the off change transients before intercepting a converter so that a controlled rectifier may be disabled. Or the "output voltage fall decision logic approach" The "cutoff decision logic approach" It can combine and the result of a request can be obtained.

[0067]

The 6th usable decision logic approach is disabling the controlled rectifier and/or OR connection transistor which consist of a synchronous detector, when an external signal is supplied to a converter. Such a signal can be offered by the circuit which detects that the problem of

the circuit which detects that a negative current exists, or a negative current may occur. This signal can be supplied from another DC to DC converter, or can be supplied from the supplemental circuit on the load circuit board. Drawing 19 is such an "external signal decision logic approach". It is shown.

[0068]

The 7th usable decision logic approach is disabling the controlled rectifier and/or OR connection transistor which consist of a wave synchronous detector, when the wave supplied to the control terminal of a controlled rectifier is in the condition of not causing a right drive. For example, by the active drive approach, when the power rail of a control circuit is too low for guaranteeing right actuation, a controlled rectifier is disabled. A controlled rectifier is made into a disable, when an active drive circuit acquires timing information from the wave in a power circuit and this wave is too low for being correctly recognized by the drive circuit. Similarly, by the passive drive approach, when the wave used for driving the control terminal of a controlled rectifier is too low for guaranteeing right control of a controlled rectifier, a controlled rectifier is made into a disable.

[0069]

This the "unsuitable forward level decision logic approach" The circuit of drawing 5 can be considered as a special example. In this example of a passive drive, when synchronous detectors 505 and 506 are ON, the electrical potential difference supplied to those gates is proportional to the electrical potential difference of capacitor 500 both ends of a middle bus. When the electrical potential difference of the capacitor of this middle bus is too low, it stops driving a rectifier on sufficient high electrical potential difference turning on completely, and it does not operate correctly in this condition. Therefore, middle bus voltage is detected, and a controlled rectifier is disabled when this electrical potential difference is lower than a fixed threshold. During normal actuation of a converter, since it is necessary to carry out middle bus voltage to more than this threshold, a threshold is chosen as a comparatively high value (for example, 50% of the normal values of middle bus voltage).

[0070]

The DC to DC converter operated, and while supplying power to the output terminal, when the controlled rectifier and/or OR connection transistor which consist of a synchronous detector are a disable, the converter has compensated the comparatively large voltage drop of a non-controlled rectifier. When the time amount which enables a controlled rectifier is

reached and a rectifier is enabling quickly, output voltage rises momentarily according to the difference of the voltage drop between non-controlled rectifiers.

[0071]

in order to avoid this transient phenomenon -- a controlled rectifier -- " -- gradually -- enabling" It is necessary to carry out. Thereby, the synchronous detector which has flowed, or the average ON state electrical potential difference of the both ends of the OR connection MOSFET means that it is necessary to change from the large electrical potential difference of a non-controlled rectifier to the small electrical potential difference of a controlled rectifier gradually over the bandwidth of a converter, an EQC, or a period longer than it. If this is filled, it will have time amount for the feedback loop of a converter to adjust a duty ratio (duty ratio) (or other control variables), and will maintain to the value which can permit fluctuation of output voltage by that cause. For example, by the converter which has 10kHz bandwidth, it enables gradually over the time amount beyond about 0.1ms or it to the feedback loop.

[0072]

There are two approaches in control of the average ON state electrical potential difference of a synchronous detector or OR connection transistor. They are indicated by the PCT application WO 98/33267 (July 30, 1998 public presentation) at the detail.

[0073]

The 1st approach controls the degree which turns ON a controlled rectifier. For example, if an MOSFET device is used, an electrical potential difference (inside of the time amount through which MOSFET has flowed) will be controlled, and it will be made to some electrical potential difference between several volts more than a threshold and a threshold. In the case of the latter with channel resistance of MOSFET very high in the case of the former, it becomes the minimum resistance.

[0074]

Therefore, the average ON state electrical potential difference of an electrical potential difference MOSFET can be gradually decreased on the average ON state electrical potential difference of a controlled rectifier from the average ON state electrical potential difference of a non-controlled rectifier by raising gradually gate voltage (inside of the time amount through which MOSFET has flowed) from a threshold to several volts more than a threshold.

[0075]

Drawing 10 shows one method of raising the gate voltage of MOSFET

gradually in this way. As mentioned above, a gate voltage waveform is a square wave which changes from zero mostly to the electrical potential difference sufficiently higher than the threshold in a drive half cycle in a reset half cycle during normal actuation. On the contrary, while the hold-off circuit is operating, the range of a gate voltage waveform is from level slightly higher than the zero in a drive half cycle to the negative value in a reset half cycle. This wave-like DC value is negative.

[0076]

When the hold-off circuit of drawing 10 does not operate, DC value of a gate voltage waveform rises from an early negative value to the forward last value (namely, when a transistor 1011 is OFF). This rise is the form of $(1 - e^{-T/t})$. Here, T is property time constant $C1005 \times R1003$ (or $C1006 \times R1004$). While DC electrical potential difference of a gating waveform rises, the value of the gate voltage in a wave-like drive half cycle rises. By what a sufficiently long property time constant is taken (several mm second), the average ON state electrical potential difference of MOSFET decreases gradually. This means enlarging $R1003$ (or $R1004$) relatively generally, and, thereby, maintains the requirements for current handling of a hold-off transistor small. It indicates again that a connection impedance plays two or more roles. It includes offering a means to raise MOSFET gate voltage gradually at the time of enabling in addition to the above-mentioned contents in them.

[0077]

The 2nd approach for controlling the average ON state electrical potential difference of a synchronous detector or OR connection transistor is that the time amount which the controlled rectifier turns on controls comparatively (comparatively in the whole time amount whose combined device is switch-on). For example, a controlled rectifier can carry out an ON change extremely into flow time amount for a short time, or is made into the ON between whole periods. The average ON state electrical potential difference of the device which combined in the case of the latter with the average ON state electrical potential difference of the combined device near [in the case of the former] the average electrical potential difference of a non-controlled rectifier (because, a device passes a great portion of time amount and a current) is an average electrical potential difference of a controlled rectifier.

[0078]

Therefore, the average ON state electrical potential difference of a synchronous detector or OR connection transistor decreases gradually on the average electrical potential difference of a controlled rectifier

from the average electrical potential difference of a non-controlled rectifier by decreasing gradually the rate of time amount that a controlled rectifier is ON.

[0079]

Drawing 20 shows one method of attaining this, and supplies the control signal to the synchronous detector using an electronic circuitry. In this example, there is a circuit which becomes the preceding paragraph (gate input edge) of the logic gate used for enabling/disabling in a controlled rectifier from the lamp generating circuit 2012 (an inverter 2002, the base resistance object 2003, a transistor 2004, a current source 2005, and capacitor 2006), a comparator 2001, and RC circuits 2007 and 2009 with diode 2008. The lamp generating circuit 2012 generates the lamp wave which starts with a zero volt, when what the driving signal 2010 from an electronic control circuit 602 should make a synchronous detector (OR connection transistor) 601 to ON for is shown. This ramp signal continues going up over the flow time amount to mean, goes up only by 1 volt according to a voltage source 2010, and is used as a negative input to a comparator 2001. A driving signal 2010 is allowed to set the output of this comparator only to high, therefore to pass through a logic gate (AND gate) 604, when the electrical potential difference of the forward input of a comparator is higher than lamp voltage.

[0080]

When enabling / disable input signal 605 is low(s), the forward input to a comparator is high, and the output of a comparator always maintains low and enables the driving signal 2010 which reaches a controlled rectifier 601.

[0081]

When enabling / disable input signal 605 is high(s), the electrical potential difference of the forward input to a comparator rises exponentially by time constant $R_{2009} \times C_{2007}$. A controlled rectifier lengthens the part of the "on" period which is ON as this electrical potential difference rises gradually. A controlled rectifier will be turned on [whole / "on" period], if it charges and the electrical potential difference of capacitor 2007 both ends reaches sufficient value. Diode 2008 guarantees that the electrical potential difference of capacitor 2007 both ends discharges quickly, when a hold-off circuit operates.

[0082]

Moreover, the hold-off circuit which acts to the connection impedance of the approach which the circuit shown in drawing 20 was used, and the

connection switch of the approach shown in drawing 7 could turn ON gradually, or was shown in drawing 8 can turn OFF gradually.

[0083]

It is also possible to use the above-mentioned general conception and to control the rate at which a DC to DC converter changes from enabling state to a disable condition transitionally.

[0084]

Most DC to DC converters incorporate the maximum current limiting in a control circuit, and protect a converter from the bad influence of the excessive output current. Although various kinds of approaches are used, the approach of intercepting a converter and the approach of continuing actuation with the lowered output voltage which is the function of the load current are included in this. By the latter approach, a converter enables the output current to become large slightly from a threshold along with the fall of output voltage, a converter maintains the output current uniformly, or a converter decreases the output current. These approaches are a "fold forward", a "constant current source", and "foldback". Since it is called, various kinds of technique of attaining an all directions method is known in this technical field. For example, it is the fixed output voltage V_{OUT} in the condition that a current increases if needed for supplying the load of specification [a converter] usually as shown in drawing 22 . It operates. However, a current is the maximum level I_{MAX} . When reaching, the electrical potential difference of an output decreases with the function of the load current. A fold forward, a constant current source, and foldback ***** are shown in 2201, 2202, and 2203, respectively.

[0085]

Similarly, it is the new minimum current limiting I_{MIN} . It includes in a control circuit and the problem relevant to the negative current of a DC to DC converter can be avoided. Especially this is effective in the converter which uses a synchronous detector and/or OR connection transistor, however is not limited to such a converter. Generally, such current limiting will raise output voltage, if the load current becomes lower than a fixed threshold level. At this time, the output voltage which rose controls that the output current decreases further.

[0086]

The threshold level of the minimum current limiting is slightly made to negative, zero, or a forward value so that it may be illustrated. It is desirable to avoid the negative current of the magnitude which causes a problem. For example, it can guarantee working so that a converter may reduce the load current to zero completely so that a negative threshold

level (for example, 1 - 10% of the rated current) may be used and meant slightly. Thereby, the negative current (magnitude which does not have a bad influence on system performance) of extent which is an abnormal condition comes to flow. Or a forward threshold level is used slightly and it is guaranteed that a converter does not draw a negative current. Although the small forward load current flows not through a more efficient controlled rectifier but through a non-controlled rectifier by this, since current level is small, large power consumption is not generated. This condition generates actually small whole power consumption with a light load. The reason is for the usually generated switching loss not to arise by making a controlled rectifier ON and OFF. This amount of reduction of switching loss is made more greatly than electric conduction loss of the addition generated when a light load current flows through a non-controlled rectifier.

[0087]

If threshold current level is reached, it can design so that the minimum current-limiting control circuit may generate a fold forward, a constant current source, or the property of fold back current limiting. In this case, in connection with output voltage rising, the output current continues decreasing slightly with the fold forward property 2204. The constant current source property 2205 maintains the output current almost uniformly, when output voltage rises. The foldback property 2206 makes the output current increase more than a threshold level, when output voltage increases. The various approaches for attaining them in these different properties and a control circuit will be easily understood by this contractor, since they are the same as that of what was used to the maximum current limiting.

[0088]

Drawing 21 shows the block diagram of a DC to DC converter, and the minimum current limiting is included in the control circuit. This DC to DC converter can be used as the non-insulating mold or insulating mold converter of all gestalten. Detection of the output current is realizable using the sensor of the type with which some, such as resistance, a current transformer, or a Hall effect sensor, differ. detection of a current -- an output terminal -- setting -- or the current elected is possible in other specific locations in the power circuit showing the output current. Depending on the case, other variables other than a current (however, thing showing the output current) are detectable. The same detection approach as what is used for the 3rd low-power output current decision logic detection approach generally explained above about disabling a synchronous detector or OR

connection transistor can be used here.

[0089]

If the minimum current level is reached, in order to raise output voltage, generally a control circuit adjusts the duty cycle of a DC to DC converter. For example, the duty cycle of a transistor 101 increases in the down converter of drawing 1 -5.

[0090]

The advantage which raises a voltage output instead of turning off a synchronous detector is turning ON a synchronous detector, and while the large current is flowing, it is continuing operating in the condition with an efficient synchronous detector. When a rectifier is OFF on the other hand, a non-controlled rectifier continues operating independently and a circuit heats it in this inefficient condition.

[0091]

It is clear that both the enabling / the disable approach of the gate, and the above-mentioned minimum current-limiting approach are incorporated, and the problem relevant to negative current limiting can be avoided. For example, output voltage can be gone up when the minimum current threshold is reached. After that, when an electrical-potential-difference threshold or other current thresholds are reached, a synchronous detector and OR connection transistor are made to a disable.

[0092]

Drawing 23 shows one approach for realizing both max and the minimum current limiting. In this drawing, U1-2301 and U2-2302 are op amplifiers, and Vref is reference voltage. The current I detected flows through a resistor 2303, and generates an electrical potential difference VI to a ground. An op amplifier is constituted as differential amplifier to which resistors 2304-2311 were added. Capacitors 2313 and 2314 decrease the gain in the high frequency of these amplifiers, and stabilize the current-limiting feedback loop. A capacitor 2312 carries out filter removal of all the high-frequency components of the signal VI resulting from the noise of a power circuit detected.

[0093]

An op amplifier answers to the maximum current limiting, and an op amplifier 2302 answers to the minimum current limiting. The shift amount which offers a level shift VLS to VI depends for resistors 2305 and 2304 on the relative value of Vref and two resistance. Although both op amplifiers amplify the difference between this level shift value of VI, and a threshold electrical potential difference, each op amplifier has different thresholds VT1 and VT2 set up by one of Vref, and resistors 2306 and 2307 or resistors 2309 and 2310. Only the amount equivalent to

the desired maximum current limiting is higher than VLS, and VT1 is set up. Similarly, only the amount in which VT1 is equivalent to the desired minimum current limiting is highly set up to VLS.

[0094]

With diodes 2315 and 2316, two op amplifiers can affect only output voltage VO in an one direction. If the current which an op amplifier 2301 will pull up VCL and will be detected if the current detected exceeds the maximum current limiting becomes smaller than the minimum current limiting, an op amplifier 2301 will reduce VCL. An op amplifier enlarges the amount which pulls up VCL (or it reduces), so that the amount in which the current detected exceeds these two limits (or it is less) becomes large. When the current detected is between two limiting value, Node VCL is in a high impedance condition fundamentally (relatively restricted by the resistors 2308 and 2311 of a high impedance, and capacitors 2313 and 2314).

[0095]

Usual feedback - as which VCL finally determines the duty cycle of a power converter It is used as an additional input to the error amplifier 2317 of a loop formation. Only when the detected current exceeds the range, VCL affects an error amplifier, therefore a duty cycle. When, as for the VCL connection with an amplifier, the detected current exceeds the maximum current limiting, it is made for the output voltage of a power converter to decline. On the contrary, when the detected current is smaller than the minimum current limiting, VCL raises converter output voltage.

[0096]

Although the desirable operation gestalt illustrated this invention in the detail and it has been explained, it will be understood by this contractor that various kinds of modification of a configuration and details is possible, without deviating from the range of this invention included by the claim. For example, it becomes the thing and reverse which show the connection method of details, and the polarity of logic all over drawing in that case about a synchronous detector and/or OR connection transistor by using a P channel device instead of N channel device, and being able to realize.

[Brief Description of the Drawings]

[Drawing 1]

It is drawing showing the non-insulating mold down converter which uses synchronous detection and an active drive system.

[Drawing 2]

It is drawing showing the insulating mold forward converter which uses

synchronous detection and an active drive system.

[Drawing 3]

It is drawing showing the insulating mold forward converter which uses synchronous detection and a passive drive system.

[Drawing 4]

It is drawing showing an insulating mold forward converter with the synchronous detector driven with an external transformer coil.

[Drawing 5]

It is drawing showing another insulating mold DC to DC converter which uses the synchronous detector driven by the passive network.

[Drawing 6]

It is drawing showing the circuit which inserted the logic gate in the drive circuit for the synchronous detector enabling / in order to carry out a disable.

[Drawing 7]

It is drawing showing the circuit which inserted the connection switch and the hold-off circuit in the passive gate drive circuit for the synchronous detector enabling / in order to carry out a disable.

[Drawing 8]

It is drawing showing the circuit which inserted the connection impedance and the hold-off circuit in the passive gate drive circuit for the synchronous detector enabling / in order to carry out a disable.

[Drawing 9]

It is drawing showing the example of the concept shown in drawing 8 .

[Drawing 10]

It is drawing which was corrected to two synchronous detectors so that only one transistor might be used for a hold-off circuit and in which showing the example of drawing 9 .

[Drawing 11]

It is drawing showing the non-insulating mold down converter which uses synchronous detection and a passive drive system.

[Drawing 12]

It is drawing showing OR connection transistor driven by the active control circuit which has a logic gate for offering enabling / disable function.

[Drawing 13]

It is drawing showing OR connection transistor driven by the wave of the power circuit shown in drawing 5 .

[Drawing 14]

It is drawing showing how to pull out enabling / disable signal from a control circuit cutoff signal.

[Drawing 15]

It is drawing which showed the example of the concept shown in drawing 9 , and has taken out enabling / disable input signal from the input-side control circuit using the optical isolator.

[Drawing 16]

The switching waveform in a power circuit is used, a converter is intercepted, and it is ". Cutoff decision logic signal" It is drawing showing providing.

[Drawing 17]

It is drawing showing using a comparator circuit, and detecting that output voltage is too low, and disabling a synchronous detector.

[Drawing 18]

It is drawing showing that the direction of the detection output current is contrary to the voltage drop of synchronous detector both ends.

[Drawing 19]

It is drawing showing the DC to DC converter offered by the signal by which the synchronous detector was used and the rectifier was supplied to enabling / decision for disabling from the outside.

[Drawing 20]

In a normal "on" period, it is drawing showing enabling a synchronous detector gradually by increasing an ON state period gradually.

[Drawing 21]

It is drawing showing the converter which has realized the minimum current limiting.

[Drawing 22]

It is drawing showing the electrical potential difference/current characteristic of the converter which has both min and the maximum current limiting.

[Drawing 23]

It is drawing showing the circuit for realizing both min and the maximum current limiting.

[Description of Notations]

102, 202, 203, 505, 506, 601, 701, 1001, 1002, 1202, 1302 -- A synchronous detector (OR connection transistor), 803 -- Connection impedance

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

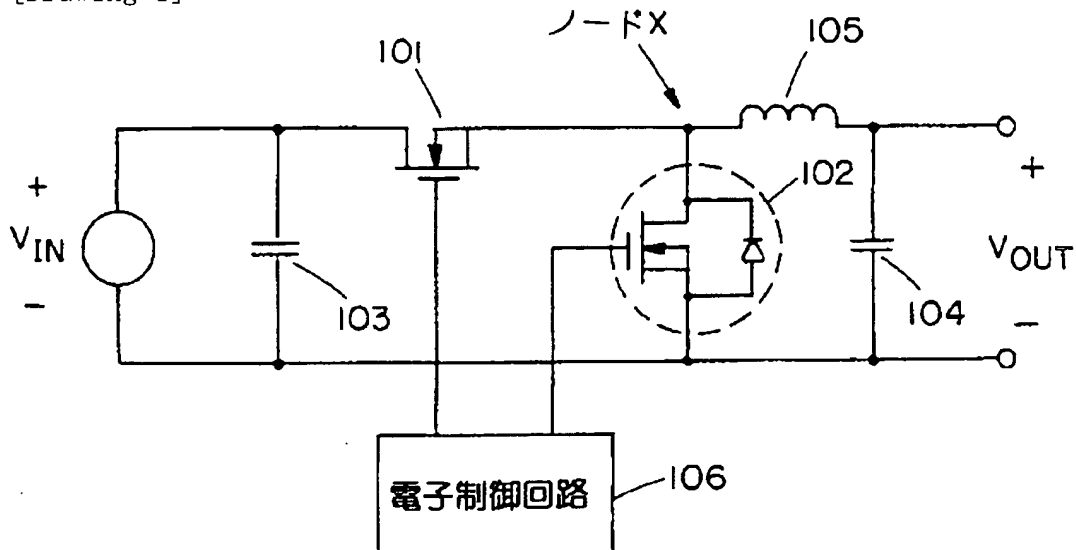
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

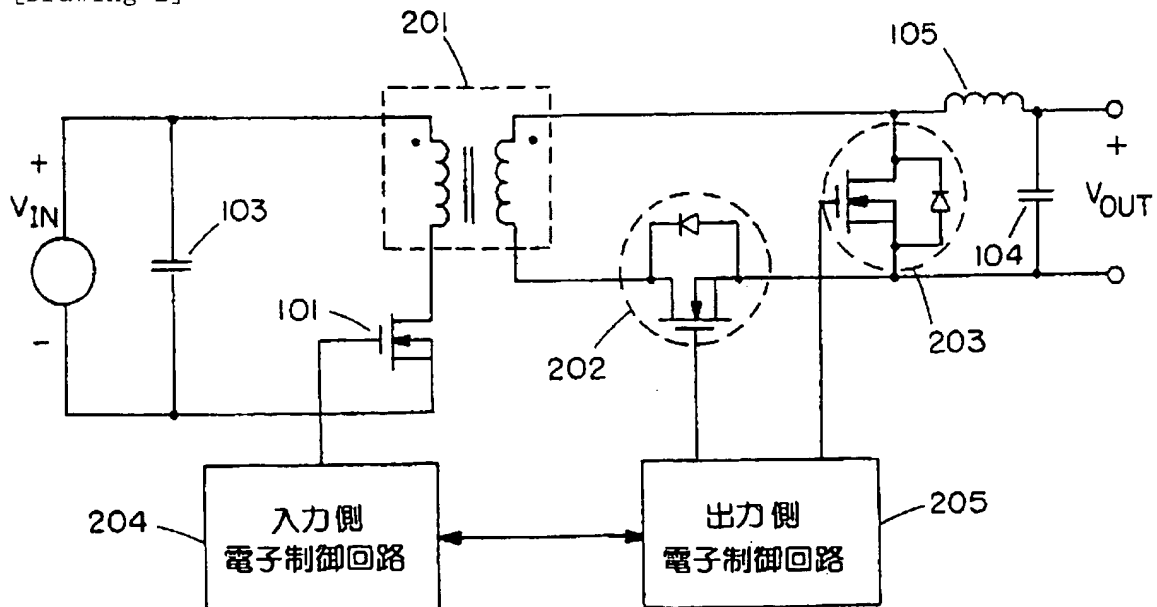
3. In the drawings, any words are not translated.

DRAWINGS

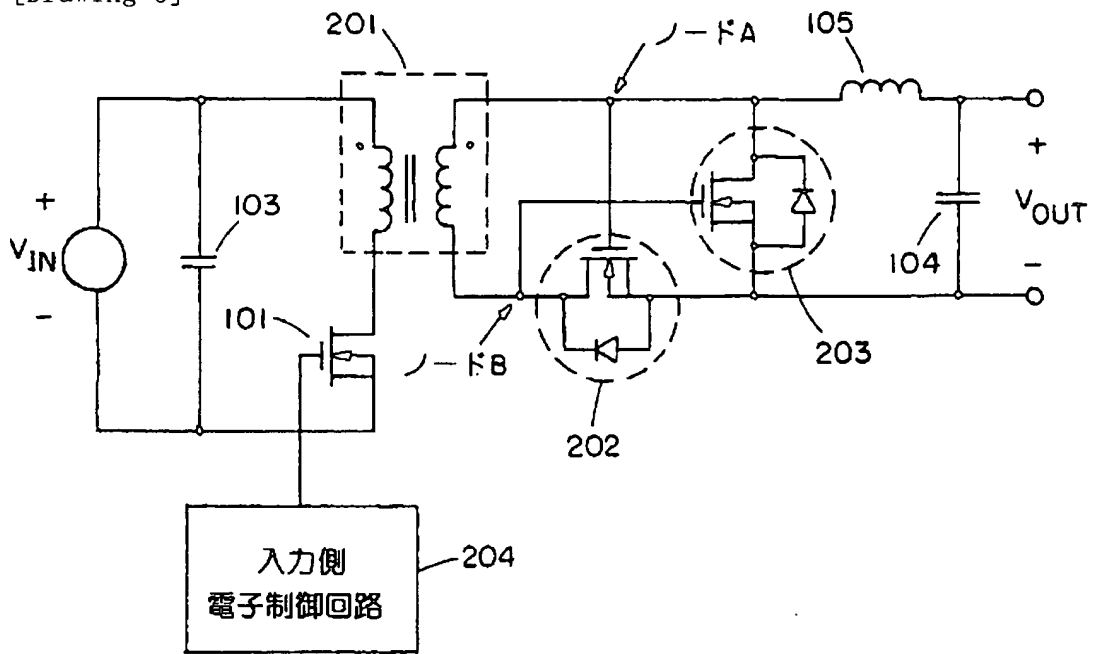
[Drawing 1]



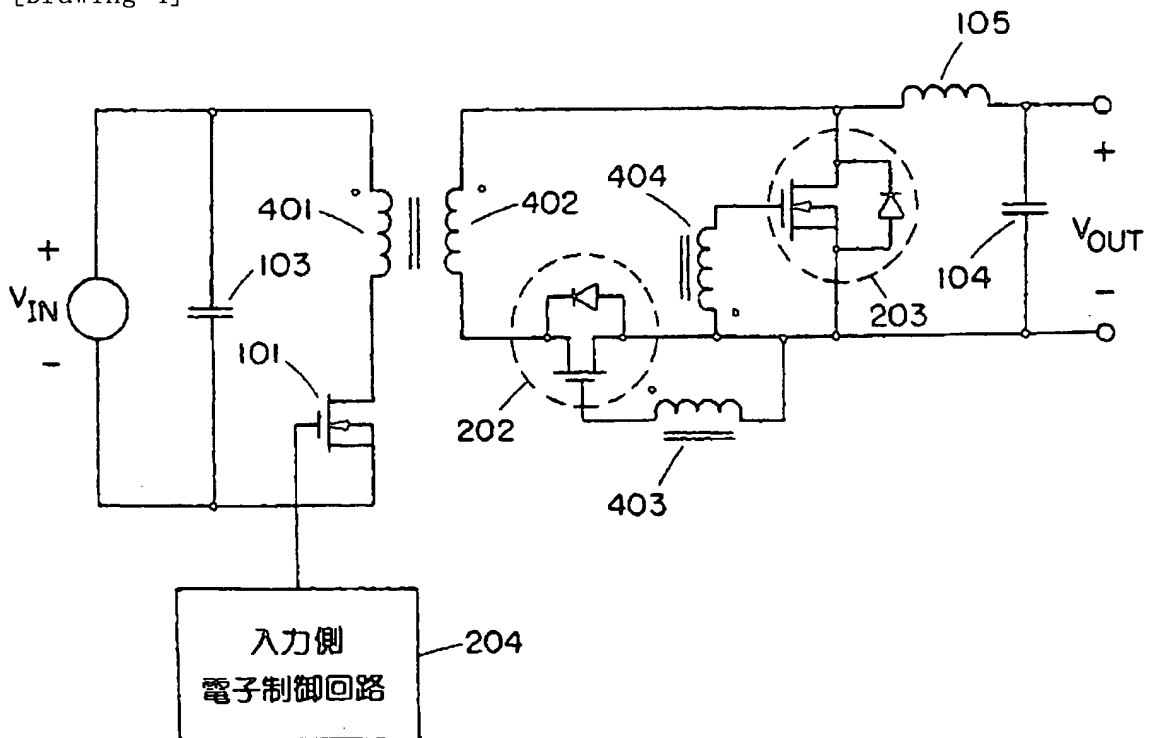
[Drawing 2]



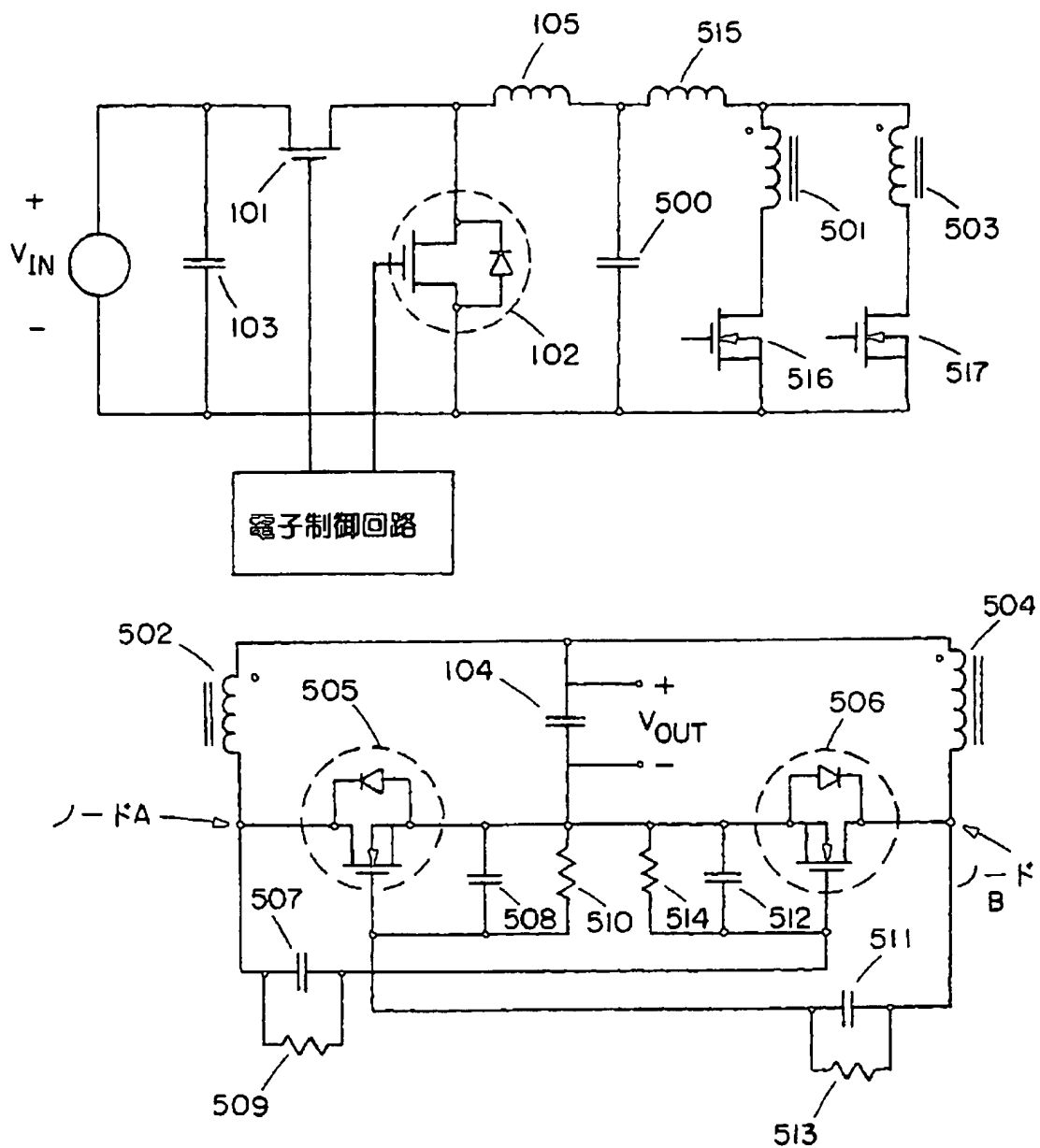
[Drawing 3]



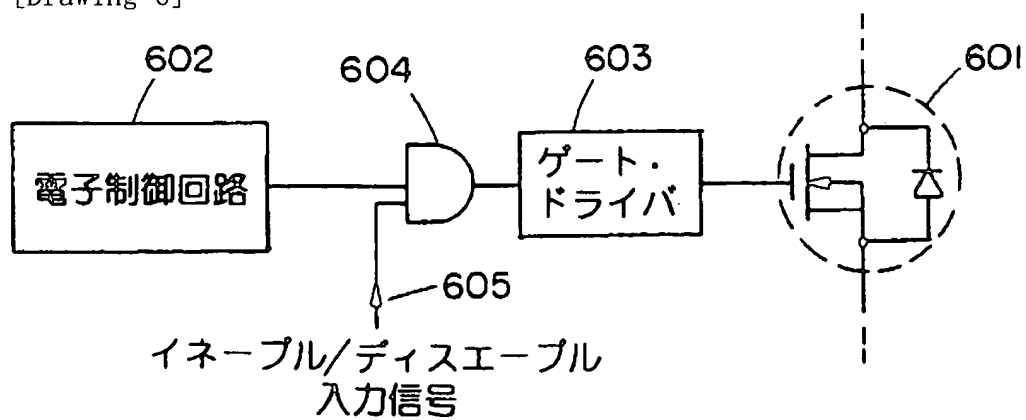
[Drawing 4]



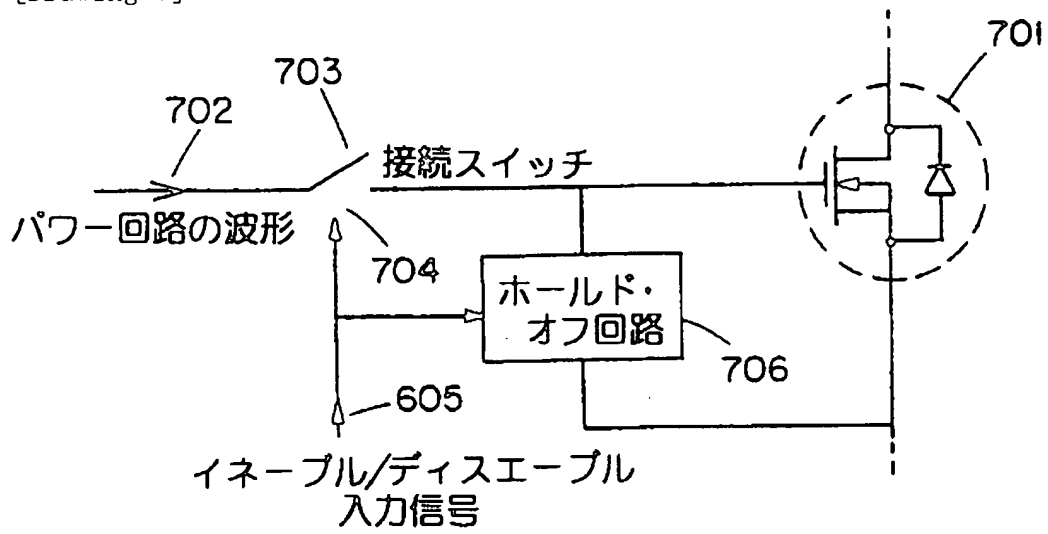
[Drawing 5]



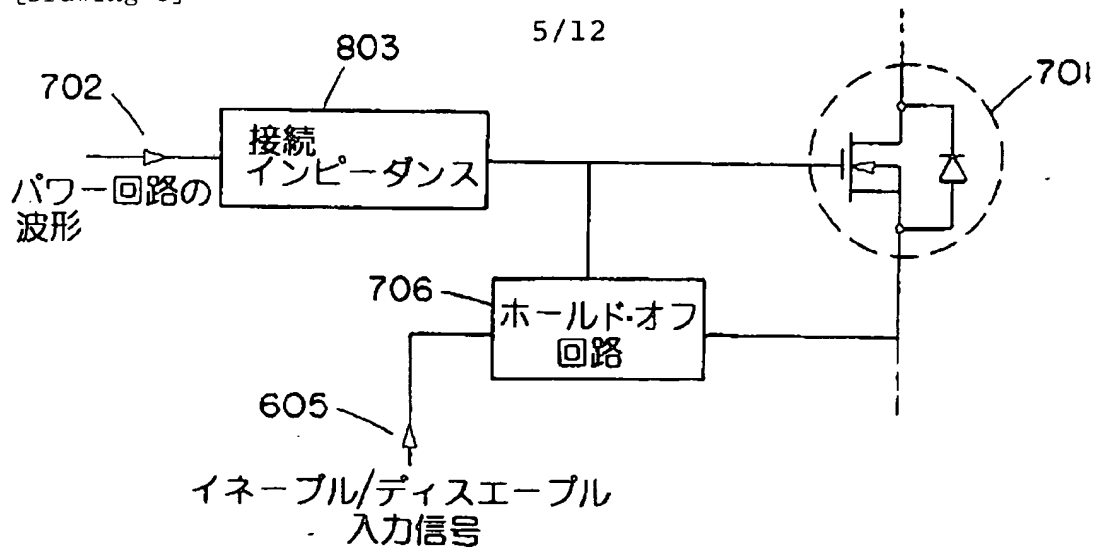
[Drawing 6]



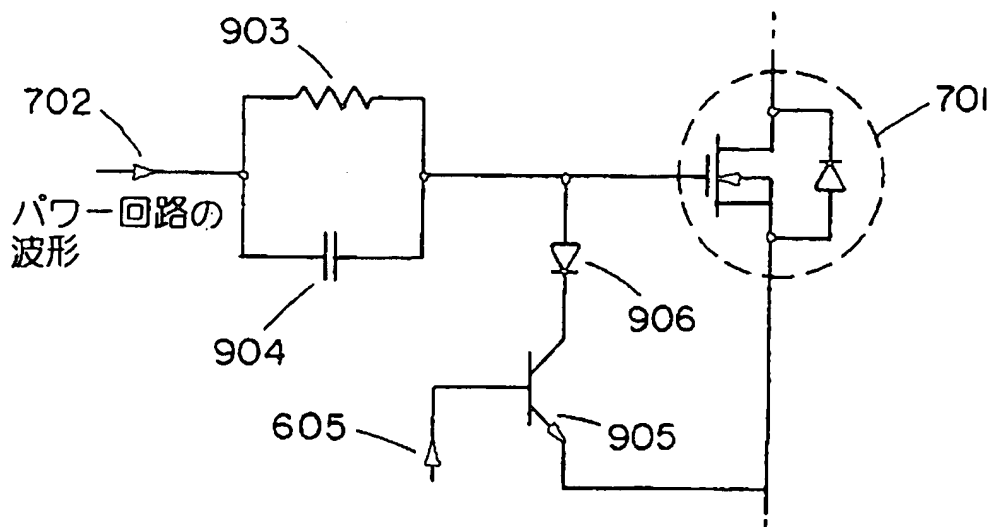
[Drawing 7]



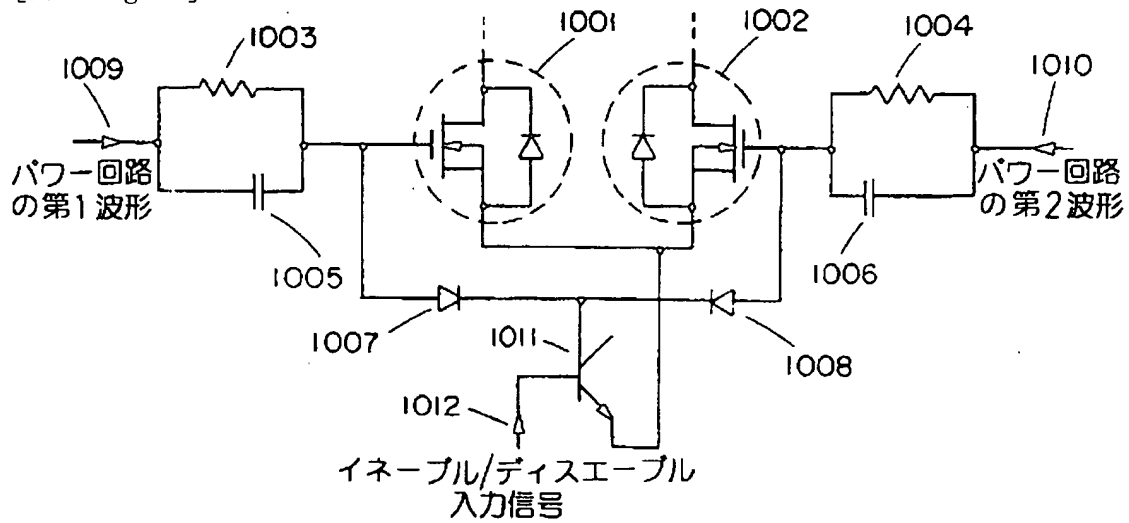
[Drawing 8]



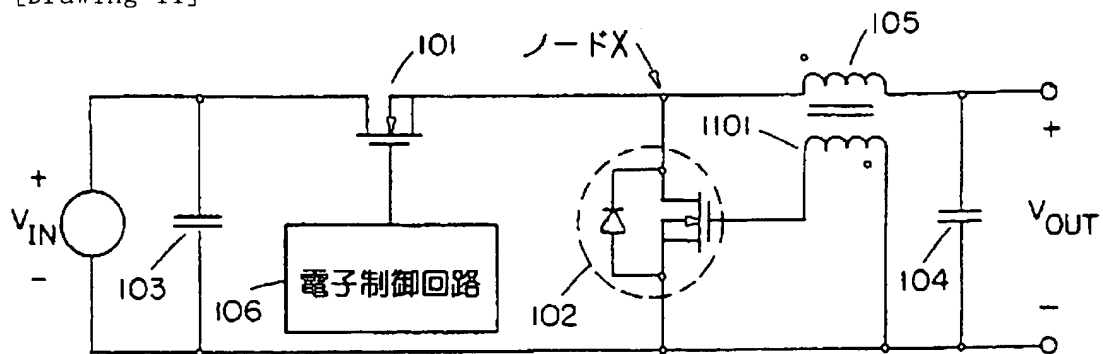
[Drawing 9]



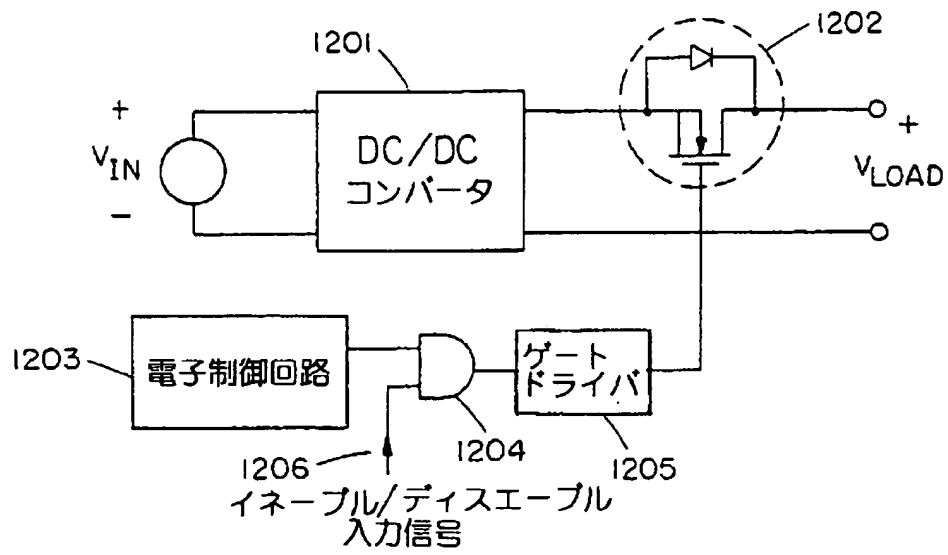
[Drawing 10]



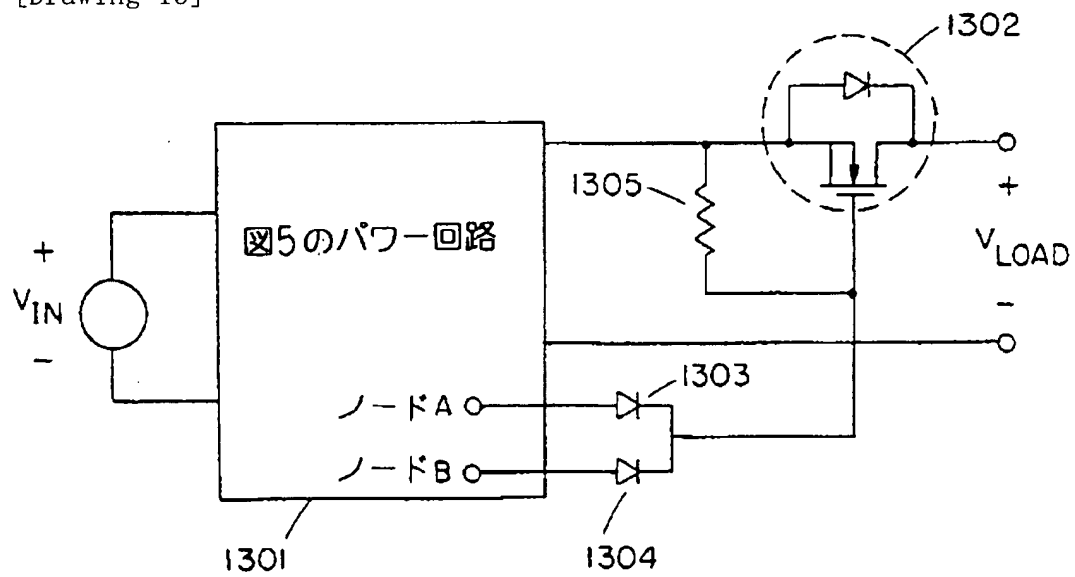
[Drawing 11]



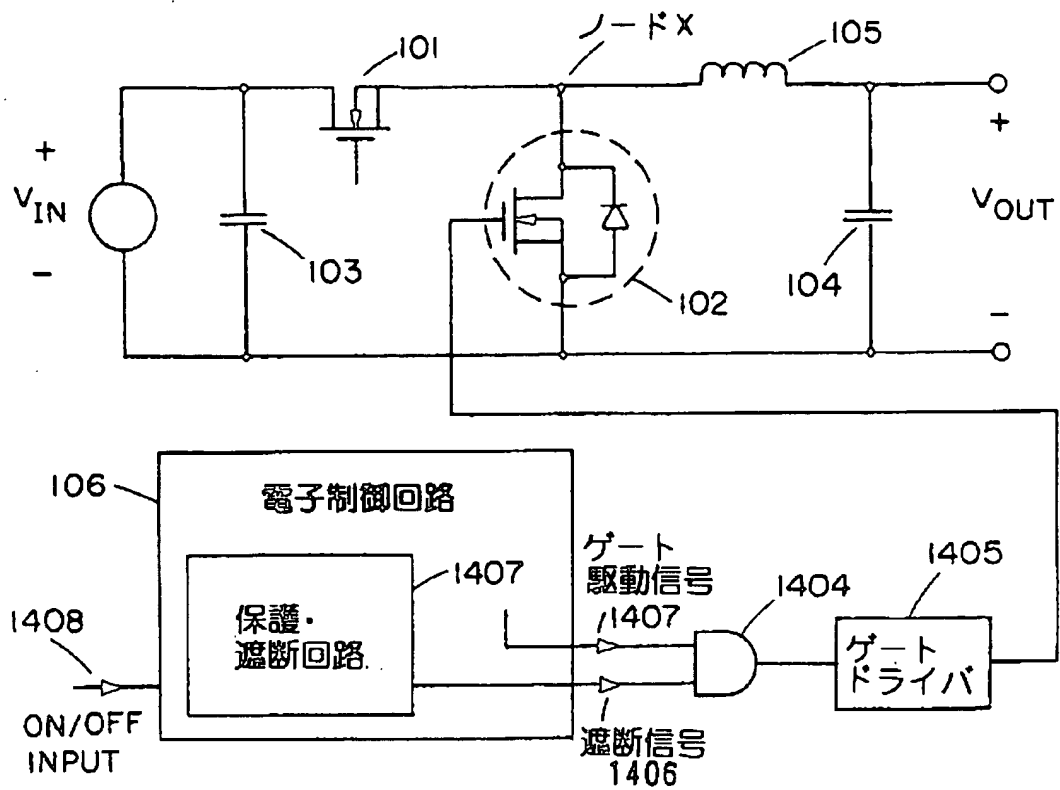
[Drawing 12]



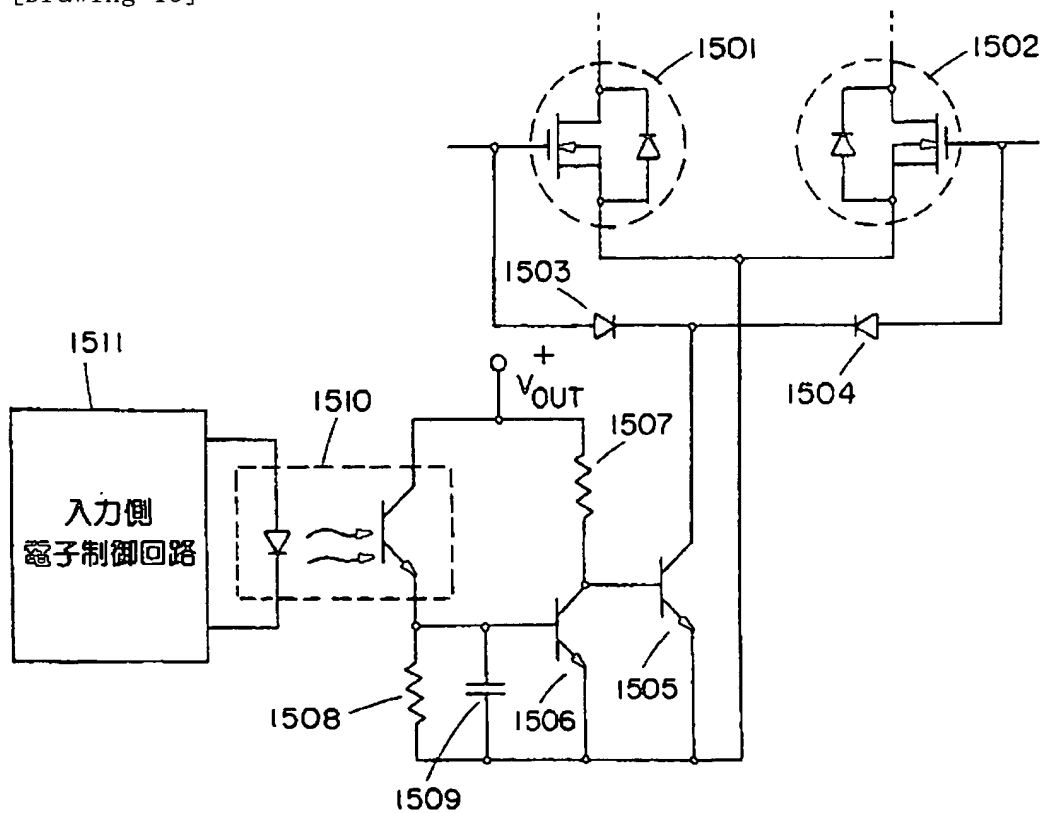
[Drawing 13]



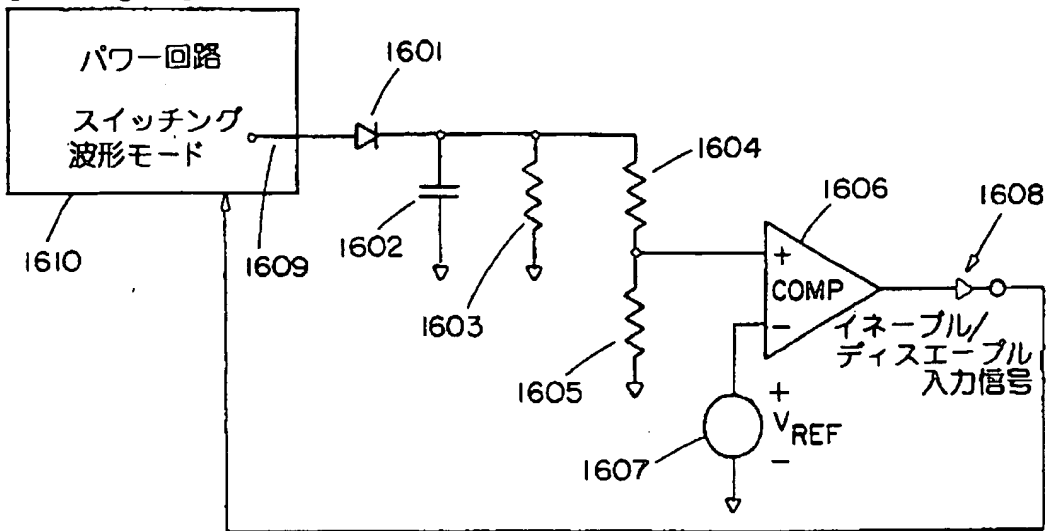
[Drawing 14]



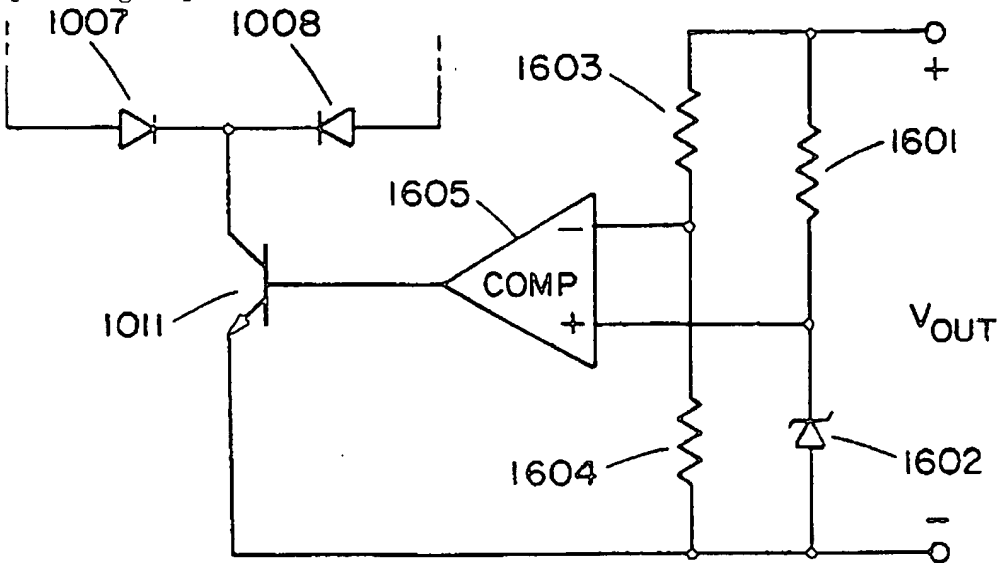
[Drawing 15]



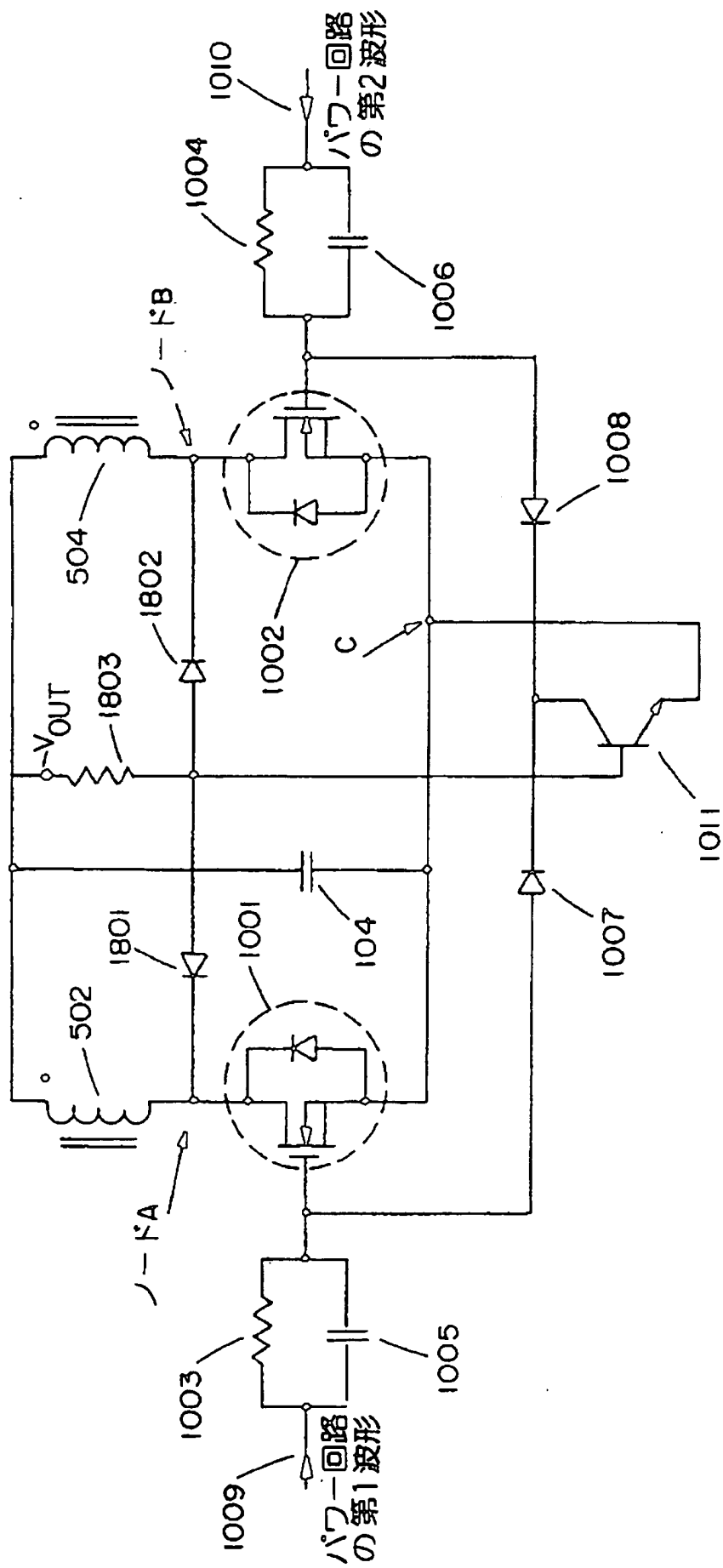
[Drawing 16]



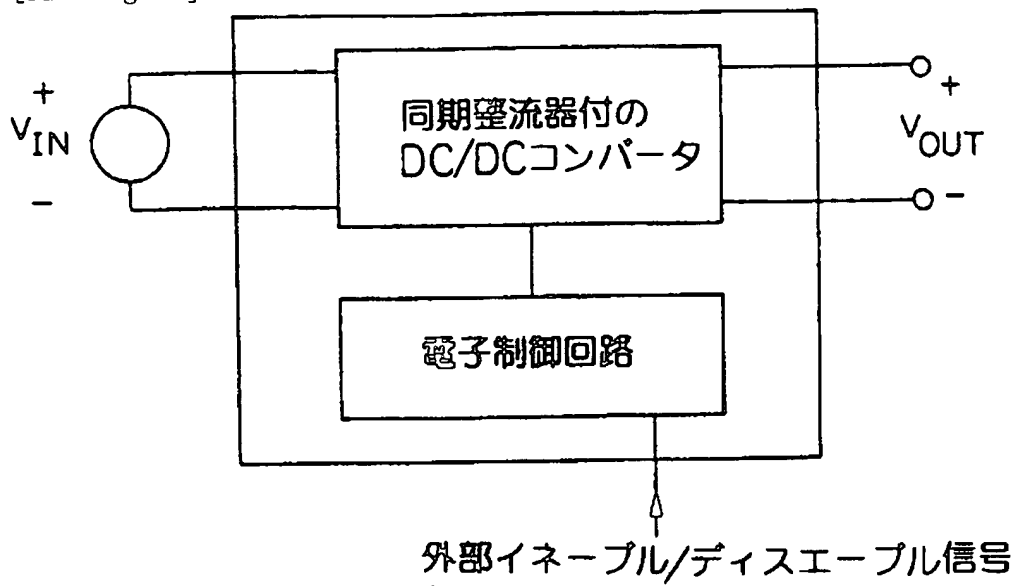
[Drawing 17]



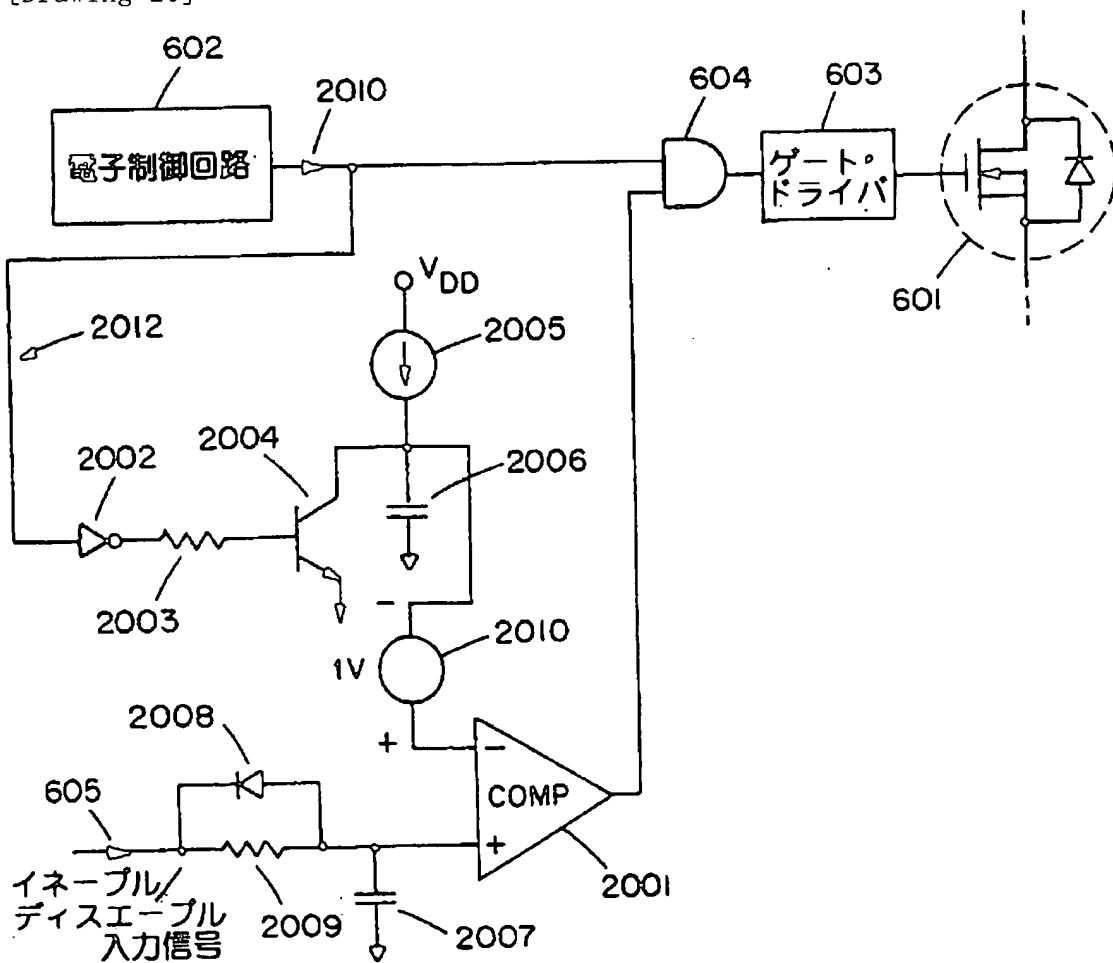
[Drawing 18]



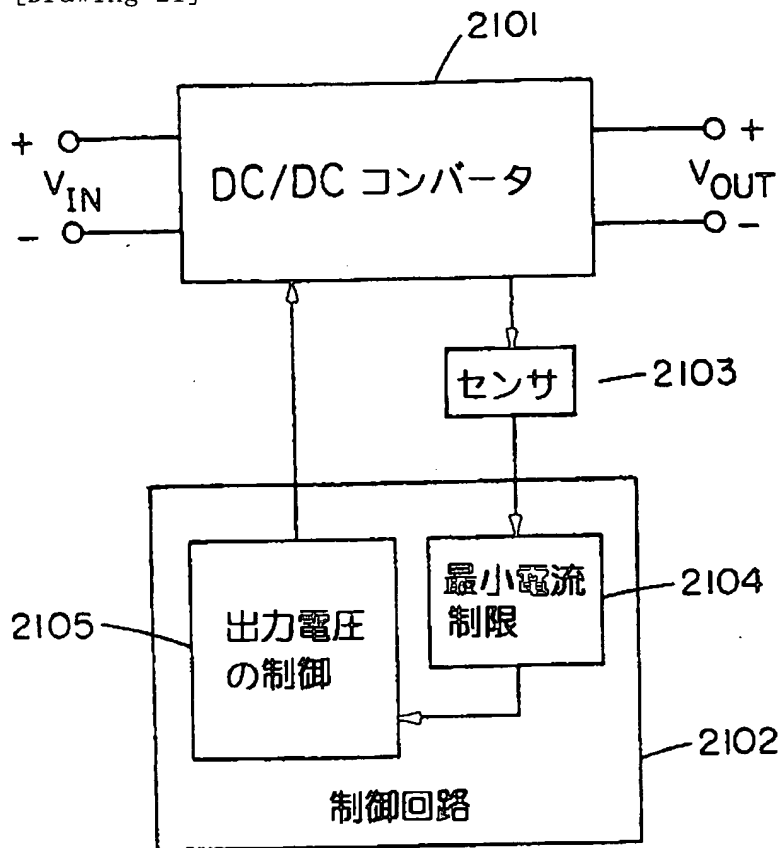
[Drawing 19]



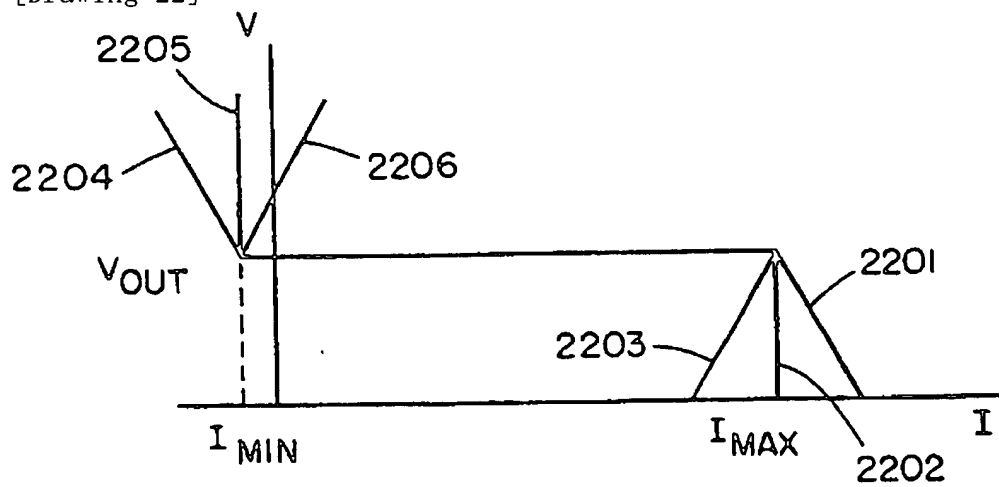
[Drawing 20]



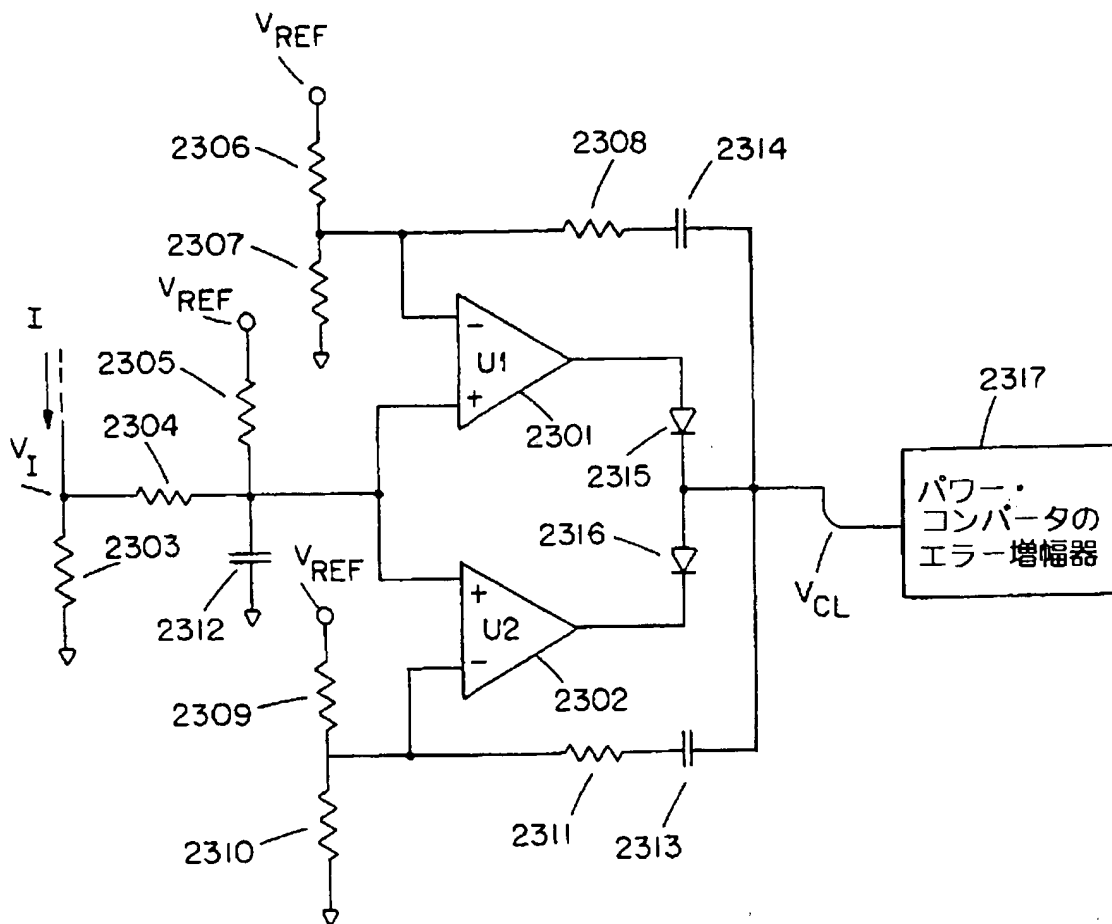
[Drawing 21]



[Drawing 22]



[Drawing 23]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表 2003-504997

(P 2003-504997A)

(43) 公表日 平成15年2月4日 (2003. 2. 4)

(51) Int. Cl. 7

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テマコード (参考)

F 5H730

H

審査請求 未請求 予備審査請求 有

(全 6 3 頁)

(21) 出願番号 特願2001-508576 (P2001-508576)
(86) (22) 出願日 平成12年7月7日 (2000. 7. 7)
(85) 翻訳文提出日 平成14年1月7日 (2002. 1. 7)
(86) 国際出願番号 PCT/US00/18748
(87) 国際公開番号 W001/003277
(87) 国際公開日 平成13年1月11日 (2001. 1. 11)
(31) 優先権主張番号 60/142, 580
(32) 優先日 平成11年7月7日 (1999. 7. 7)
(33) 優先権主張国 米国 (U S)
(31) 優先権主張番号 60/143, 980
(32) 優先日 平成11年7月15日 (1999. 7. 15)
(33) 優先権主張国 米国 (U S)

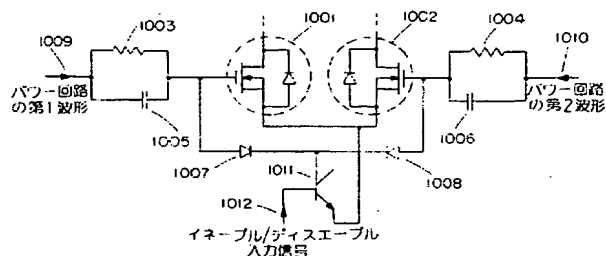
(71) 出願人 シンクォール・インコーポレーテッド
SYNQOR, INC.
アメリカ合衆国, マサチューセッツ州 0
1749, ハドソン, セントラル ストリート
188
(72) 発明者 ブレッツ・ジョシュア
アメリカ合衆国, マサチューセッツ州 0
1752, マーボロー, アメス プレイス 43
(74) 代理人 弁理士 杉本 修司 (外2名)

最終頁に続く

(54) 【発明の名称】 同期整流器を備えた DC/DC パワー・コンバータの制御

(57) 【要約】

【解決手段】 DC/DC パワー・コンバータは制御波形に応答する同期整流器 (701) を含む。負荷からパワー・コンバータに流れる負電流は、最小電流制限におけるコンバータ出力電圧を増加することにより防止される。同期整流器 (701) は、同期整流器 (701) の制御端子に接続されたホールド・オフ回路 (706) を作動させるか、またはコンバータ出力で OR 接続されているトランジスタを起動することにより、決定論理にตอบสนองしてオフ状態を維持できる。その後、同期整流回路 (701) をイネーブル (有効) にするときに、制御波形をスイッチング・サイクルに対して徐々に増加させる。



【特許請求の範囲】

【請求項1】 出力を有するDC/DCパワー・コンバータであって、
前記出力電圧を制御する制御回路を備え、

前記パワー・コンバータまたはこれに接続された回路の状態に応じて、前記制御回路に対しオーバーライド制御を行って、最小電流制限を行うパワー・コンバータ。

【請求項2】 請求項1において、さらに、制御整流器を備え、前記オーバーライド制御により、前記制御整流器を通して流れる負電流をほぼゼロにするパワー・コンバータ。

【請求項3】 請求項2において、前記オーバーライド制御が電圧出力を上昇させて、前記最小電流制限を行うパワー・コンバータ。

【請求項4】 請求項3において、前記オーバーライド制御がフォールド・バック、またはフォールド・フォワード最小電流制限を行うパワー・コンバータ。

【請求項5】 請求項3において、前記オーバーライド制御が、出力電流を表わす信号の状態に応答するパワー・コンバータ。

【請求項6】 請求項5において、前記オーバーライド制御が、検出された出力電流に直接応答するパワー・コンバータ。

【請求項7】 請求項5において、出力電流を表わす前記信号が、パワー・コンバータ内の第2電流であるパワー・コンバータ。

【請求項8】 請求項7において、出力電流を表わす前記信号が、パワー・コンバータ内の制御整流器を流れる検出された電流であるパワー・コンバータ。

【請求項9】 請求項8において、出力電流を表わす前記信号が、パワー・コンバータの出力に接続されたOR接続トランジスタを流れる電流であるパワー・コンバータ。

【請求項10】 請求項3において、決定論理に応じて、パワー・コンバータ回路内の少なくとも1つの制御整流器をディスエーブルにすることをさらに含むパワー・コンバータ。

【請求項11】 請求項10において、ディスエーブルされる前記少なくとも

も1つの制御整流器が、パワー・コンバータの出力においてOR接続しているトランジスタであるパワー・コンバータ。

【請求項12】 請求項3において、前記最小電流制限が負電流であるパワー・コンバータ。

【請求項13】 請求項3において、さらに、
電源に接続された第1および第2の1次変圧器巻線と、
前記第1および第2の1次変圧器巻線の少なくとも1つに接続された、少なくとも1つの2次巻線を有する2次変圧器巻線回路と、
複数の制御整流器であって、各々の制御整流器が1次巻線両端の電圧波形に同期してオンとオフになって前記出力を供給し、各1次巻線が、一定のデューティ・サイクルと前記制御整流器のオン状態およびオフ状態の時間に対して短い過渡時間とを持つ電圧波形を有する、複数の制御整流器と、
前記一定のデューティ・サイクルを維持しながら、前記出力を調節する調節器と、

を備えているパワー・コンバータ。

【請求項14】 パワー回路内の制御整流器と、
前記制御整流器のパワー回路波形と制御端子との間の接続インピーダンスと、
前記制御整流器をディスエーブルにするよう作動するホールド・オフ回路と、
を備えているDC/DCパワー・コンバータ。

【請求項15】 請求項14において、前記制御整流器が前記パワー回路内の同期整流器であるパワー・コンバータ。

【請求項16】 請求項14において、前記制御整流器がパワー・コンバータの出力にOR接続されているトランジスタであるパワー・コンバータ。

【請求項17】 請求項14において、前記接続インピーダンスが前記パワー回路波形と制御整流器の前記制御端子との間に接続された完全な受動回路で形成されているパワー・コンバータ。

【請求項18】 請求項14において、前記パワー回路波形が電圧波形であり、前記制御整流器がMOSFETを用いて実現されているパワー・コンバータ。

【請求項19】 請求項14において、前記接続インピーダンスがキャパシタを備えているパワー・コンバータ回路。

【請求項20】 請求項19において、前記接続インピーダンスがキャパシタと並列の抵抗を備えているパワー・コンバータ回路。

【請求項21】 請求項14において、前記ホールド・オフ回路が非アクティブのとき、前記接続インピーダンスが前記パワー回路波形を減衰させるパワー・コンバータ

【請求項22】 請求項21において、前記ホールド・オフ回路に並列に接続された並列インピーダンスをさらに備えているパワー・コンバータ。

【請求項23】 請求項14において、前記ホールド・オフ回路が、制御整流器の前記制御端子と別の端子との間に、オン状態で制御整流器をホールドするトランジスタを備えているパワー・コンバータ。

【請求項24】 請求項23において、前記トランジスタと直列にダイオードをさらに備えているパワー・コンバータ。

【請求項25】 請求項24において、前記トランジスタおよびダイオードに対して並列のインピーダンスをさらに備えているパワー・コンバータ。

【請求項26】 請求項14において、前記ホールド・オフ回路がアクティブのとき、負の平均値を有する波形が制御整流器の前記制御端子に供給され、前記ホールド・オフ回路が非アクティブのとき、前記制御端子に供給される前記波形の平均が徐々に増加するパワー・コンバータ。

【請求項27】 請求項14において、前記ホールド・オフ回路が、決定論理からのイネーブル／ディスエーブル信号により起動されるパワー・コンバータ。

【請求項28】 請求項27において、前記ホールド・オフ回路が、パワー・コンバータが遮断されたときに起動されるパワー・コンバータ。

【請求項29】 請求項27において、前記ホールド・オフ回路が、パワー・コンバータからの出力電圧の低下状態の発生に応答して起動されるパワー・コンバータ。

【請求項30】 請求項27において、前記ホールド・オフ回路が、パワー

・コンバータからの出力電流の低下状態の発生に応答して起動されるパワー・コンバータ。

【請求項31】 請求項27において、前記ホールド・オフ回路が、パワー・コンバータの起動の間に起動されるパワー・コンバータ。

【請求項32】 請求項27において、前記ホールド・オフ回路が、パワー・コンバータのオフへの切換え過渡期間の間に起動されるパワー・コンバータ。

【請求項33】 請求項27において、前記ホールド・オフ回路が、外部信号に応答して起動されるパワー・コンバータ。

【請求項34】 請求項27において、前記ホールド・オフ回路が、制御整流器の前記制御端子の波形が正しい駆動を引き起こさない状態の発生に応答して起動されるパワー・コンバータ。

【請求項35】 請求項34において、前記ホールド・オフ回路が、パワー・コンバータの調節ステージからの出力電圧の低下に応答して起動されるパワー・コンバータ。

【請求項36】 請求項14において、さらに、
電源に接続された第1および第2の1次変圧器巻線と、
前記第1および第2の1次変圧器巻線の少なくとも1つに接続された、少なくとも1つの2次巻線を有する2次変圧器巻線回路と、
複数の制御整流器であって、各々の制御整流器が1次巻線両端の電圧波形に同期してオンとオフになって前記出力を供給し、各1次巻線が、一定のデューティ・サイクルと前記制御整流器のオン状態およびオフ状態の時間に対して短い過渡時間とを持つ電圧波形を有する、複数の制御整流器と、
前記一定のデューティ・サイクルを維持しながら、前記出力を調節する調節器と、
を備えているパワー・コンバータ。

【請求項37】 制御端子に供給される制御波形に応答する制御整流器と、
イネーブル／ディスエーブル信号を発生して、前記制御整流器をディスエーブルにする決定論理と、

前記イネーブル／ディスエーブル信号に応答して、前記制御整流器がオンまた

はオフである度合いを徐々に変化させ、それにより前記制御整流器がイネーブルまたはディスエーブルのときの前記出力電圧のほぼ瞬間的な変動を回避する回路と、

を備えているDC/DCパワー・コンバータ。

【請求項38】 請求項37において、前記制御波形がパワー・コンバータのパワー回路波形から受動的に供給されるパワー・コンバータ。

【請求項39】 請求項38において、さらに、前記制御整流器のパワー回路波形と前記制御端子との間の接続インピーダンスと、

前記制御整流器をディスエーブルにするために起動されるホールド・オフ回路と、

を備えているパワー・コンバータ。

【請求項40】 請求項39において、さらに、
電源に接続された第1および第2の1次変圧器巻線と、

前記第1および第2の1次変圧器巻線の少なくとも1つに接続された、少なくとも1つの2次巻線を有する2次変圧器巻線回路と、

複数の制御整流器であって、各々の制御整流器が1次巻線両端の電圧波形に同期してオンとオフになって前記出力を供給し、各1次巻線が、一定のデューティ・サイクルと前記制御整流器のオン状態およびオフ状態の時間に対して短い過渡時間とを持つ電圧波形を有する、複数の制御整流器と、

前記一定のデューティ・サイクルを維持しながら、前記出力を調節する調節器と、

を備えているパワー・コンバータ。

【請求項41】 請求項37において、パワー・コンバータが遮断されるとき、前記制御整流器がディスエーブルになるパワー・コンバータ。

【請求項42】 請求項37において、パワー・コンバータからの出力電圧の低下状態の発生に応答して、前記制御整流器がディスエーブルになるパワー・コンバータ。

【請求項43】 請求項37において、パワー・コンバータからの出力電流の低下状態の発生に応答して、前記制御整流器がディスエーブルになるパワー・

コンバータ。

【請求項44】 請求項37において、前記制御整流器が、パワー・コンバータの起動の間ディスエーブルになるパワー・コンバータ。

【請求項45】 請求項37において、前記制御整流器が、パワー・コンバータのOFFへの切換え過渡期間の間ディスエーブルであるパワー・コンバータ。

【請求項46】 請求項37において、前記制御整流器が、外部信号に応答してディスエーブルになるパワー・コンバータ。

【請求項47】 請求項37において、前記制御整流器が、制御整流器の前記制御端子の波形が正しい駆動を引き起こさない状態の発生に応答してディスエーブルになるパワー・コンバータ。

【請求項48】 請求項47において、前記制御整流器が、パワー・コンバータの調節ステージからの出力電圧の低下に応答してディスエーブルになるパワー・コンバータ。

【請求項49】 請求項37において、前記制御整流器がディスエーブルのとき、前記制御波形が負の平均値を有するパワー・コンバータ。

【請求項50】 請求項49において、前記制御整流器の前記平均値が変化する時間が、前記制御端子とパワー回路波形の間の抵抗／容量回路により決定されているパワー・コンバータ。

【請求項51】 請求項37において、前記制御整流器の前記平均値が変化する時間が、前記制御端子とパワー回路波形の間の抵抗／容量回路により決定されているパワー・コンバータ。

【請求項52】 制御端子に供給される制御波形に応答する制御整流器と、
前記制御整流器の前記制御端子に供給された波形が正しい駆動を引き起こさないとき、イネーブル／ディスエーブル信号を発生して、前記制御整流器をディスエーブルにする決定論理と、
を備えているDC／DCパワー・コンバータ。

【請求項53】 請求項52において、前記制御整流器が、パワー・コンバータの調節ステージからの出力電圧の低下に応答してディスエーブルになるパワ

ー・コンバータ。

【請求項54】 請求項52において、前記制御整流器が、パワー・レール(power rail)の低下に応答してディスエーブルになるパワー・コンバータ。

【請求項55】 請求項52において、前記制御整流器が、前記制御端子に供給される制御波形を取り出すパワー回路内の波形に応答してディスエーブルになるパワー・コンバータ。

【請求項56】 DC/DCパワー変換を行う方法であって、
制御回路を通して出力電圧を制御するステップと、
前記制御回路の制御を一時的に無効にして、最小電流制限を行うステップと、
を含む方法。

【請求項57】 請求項56において、制御整流器を通る負電流の流れをほぼゼロにする方法。

【請求項58】 請求項57において、前記出力電圧を上昇させて、前記最小電流制限を行う方法。

【請求項59】 請求項56において、出力電流を表わす信号に応答して前記一時的に無効を行う方法。

【請求項60】 DC/DCパワー変換を行う方法であって、
パワー回路波形と前記パワー回路内の制御整流器の制御端子間に接続インピーダンスを設けるステップと、

ホールド・オフ回路をアクティブにして、前記制御整流器をディスエーブルにするステップと、

を含む方法。

【請求項61】 請求項60において、前記ホールド・オフ回路が非アクティブのとき、前記接続インピーダンスが前記パワー回路波形を減衰させる方法。

【請求項62】 請求項60において、前記ホールド・オフ回路が、制御整流器の前記制御端子と別の端子との間に、オン状態で制御整流器をホールドするトランジスタを有している方法。

【請求項63】 請求項62において、前記ホールド・オフ回路が、前記トランジスタと直列にダイオードをさらに有している方法。

【請求項64】 請求項63において、前記トランジスタおよびダイオードと並列のインピーダンスをさらに設ける方法。

【請求項65】 請求項60において、前記ホールド・オフ回路が作動しているとき、制御整流器の前記制御端子に負の平均値を有する波形を供給し、前記ホールド・オフ回路が非作動のとき、前記制御端子に供給する前記波形の平均を徐々に増加することをさらに含む方法。

【請求項66】 請求項60において、決定論理からのイネーブル／ディスエーブル入力信号により前記ホールド・オフ回路を起動することをさらに含む方法。

【請求項67】 請求項66において、前記ホールド・オフ回路が、制御整流器の前記制御端子の波形が正しい駆動を引き起こさない状態の発生に応答して起動される方法。

【請求項68】 請求項67において、前記ホールド・オフ回路が、前記パワー・コンバータの調節ステージからの出力電圧の低下に応答して起動される方法。

【請求項69】 DC/DCパワー変換の方法であって、
前記制御整流器の制御端子に供給される制御波形に応答する制御整流器を制御するステップと、
決定論理でイネーブル／ディスエーブル信号を発生して、前記制御整流器をディスエーブルにするステップと、
前記イネーブル／ディスエーブル信号に応答して、前記制御整流器がオンまたはオフである度合いを徐々に変化させ、それにより前記制御整流器がイネーブルまたはディスエーブルのときの前記出力電圧のほぼ瞬間的な変動を回避するステップと、
を含む方法。

【請求項70】 請求項69において、前記制御波形がパワー・コンバータのパワー回路波形から受動的に供給される方法。

【請求項71】 請求項70において、前記制御整流器のパワー回路波形と前記制御端子との間に接続インピーダンスを設けるステップと、

ホールド・オフ回路を起動して、前記制御整流器をディスエーブルにするステップと、

をさらに含む方法。

【請求項72】 請求項69において、前記制御整流器が、制御整流器の前記制御端子の波形が正しい駆動を引き起こさない状態の発生に応答してディスエーブルにされる方法。

【請求項73】 請求項72において、前記制御整流器が、パワー・コンバータの調節ステージからの出力電圧の低下に応答してディスエーブルにされる方法。

【請求項74】 請求項69において、前記制御整流器がディスエーブルのとき、前記制御波形が負の平均値を有する方法。

【請求項75】 DC/DCパワー変換の方法であって、
前記制御整流器の制御端子に供給される制御波形に応答して制御整流器を制御するステップと、

制御整流器の前記制御端子に供給される波形が正しい駆動を引き起こさないとき、決定論理でイネーブル/ディスエーブル信号を発生して、前記制御整流器をディスエーブルにするステップと、

を含む方法。

【請求項76】 請求項75において、前記制御整流器が、前記パワー・コンバータの調節ステージからの出力電圧の低下に応答してディスエーブルにされる方法。

【発明の詳細な説明】

【0001】

【発明の背景】

スイッチング式DC/DCコンバータは、絶縁型または非絶縁型によらず、従来から、トランジスタとダイオードの組合せを使用して、スイッチング機能を実現してきた。最近、コンバータの消費パワーを低減する目的で、ダイオードが“同期整流器”と呼ばれるトランジスタに置き換えられてきている。一般に、MOSFETを同期整流器に使用しているが、他のタイプのトランジスタ、例えばBJTおよびJFETを使用することもできる。これらのトランジスタはダイオードに比べて低いオン状態電圧を実現できるが、その一方で、“制御端子”（例えば、MOSFETのゲート端子）に電圧波形を供給して、スイッチング・サイクル中に適正な回数でオン・オフに切り換える必要がある。大部分のトランジスタ（MOSFETを含む）は、オンになると、どちらかの方向にも電流を流すことができる。トランジスタによっては（例えばMOSFETなど）、その構造内に固有の逆並列型ダイオードを有し、そのダイオードにより、トランジスタがオフのときに電流が流れる。場合によっては、ショットキー・ダイオードがトランジスタに逆並列に置かれ、トランジスタオフ時の電流を流す。なぜなら前記ダイオードは、トランジスタ自体の持つダイオード（body diode）に比べて低いオン状態電圧と高速のターン・オフ回復時間を有するからである。内部または外部によらず、この逆並列ダイオードは、本明細書では、“非制御整流器（制御されない整流器）”と称し、本明細書では“制御整流器（制御される整流器）”と称する、トランジスタの導通部分（active part）（すなわち、MOSFETのチャネル）と区別する。

【0002】

同期整流器はDC/DCコンバータに良好に適合してきたが、2つまたはそれ以上のDC/DCコンバータが出力側で相互作用する必要がある場合の用途において、問題が発生する。制御整流器を使用するDC/DCコンバータは負の出力電流を流す。この現象は、ダイオードだけを使用する場合には発生しない。

【0003】

例えば、2つのDC/DCコンバータを並列に接続して、大きいかまたは冗長性を持たせて出力パワーを供給するとき、一方のコンバータが負荷要求より大きい出力電流を供給し、他方のコンバータが負の出力電流を引き込んで余剰分を取り除く。これは一般的に発生する。なぜなら、第1コンバータは、第2コンバータが必要とするより高い出力電圧を必要とするためである。

【0004】

並列接続されたコンバータ間で電流を分担する方法は、定常状態におけるこの問題を解決する。しかし、前記の方法では、コンバータがオンに切換えられたり、スイッチング中で、定常状態に達していないときの、“始動”過渡期間中に正常に動作するのが困難になる。また前記の方法では、1つまたは複数のコンバータが電流制限または短絡回路保護の状態にあるとき、正常に動作するのが困難になる。同期整流器を備える多くの並列接続されるDC/DCコンバータは、前記状態で、発振するかまたはその他の性能上の問題を持つ。

【0005】

定常状態で動作する並列接続コンバータにおいても、コンバータ間で負荷電流を完全には分担しない。全体負荷電流が小さいとき、実際に、1つまたは複数のDC/DCコンバータは負電流を引き込むことがある。この状態では、前述の性能問題を引き起こす可能性があり、少なくとも、余剰パワーが並列接続されたDC/DC間で循環する非効率的状態を発生させる。

【0006】

冗長性が必要な場合、並列接続されたコンバータの出力間をダイオードを通して接続することにより、1つの正常に機能しないコンバータが出力バスを低下させないようにすることが多い。この“OR接続ダイオード (ORing diode)”により前述の問題を解決できる。なぜなら、この方法により、コンバータが負出力電流を引き込むのを阻止されるからである。しかし、OR接続ダイオードを“OR接続トランジスタ (ORing transistor)”（オア作動するように接続されたトランジスタ）に置き換えて、パワー消費を低減させることが望ましい。OR接続トランジスタは、少なくとも制御整流器（制御される整流器）を含み、また非制御整流器（制御されない整流器）を含むこともある。制御整流器は、オンに切り換え

られるときに両方向に電流を流すことができるため、OR接続トランジスタは負電流問題を解決しない。

【0007】

並列接続コンバータの他にも、前述の負電流問題が重要になるのは、2つまたはそれ以上のコンバータの出力間を接続して、それらの出力電圧を一定の制限値を超えないように保証する場合である。例えば、5V出力コンバータと3.3V出力コンバータの両方を使用するシステムにおいては、3.3V出力と5V出力の間に“クランプ・ダイオード”を置いて、3.3V出力が、5V出力に1つのダイオード電圧降下を加えた値より高くないように保証することが多い。逆に、3つまたは4つのクランプ・ダイオードを直列にチェーン接続して、5V出力と3.3V出力との間に置き、前者が後者に比べて高くないように保証することができる。

【0008】

起動または特定の他の過渡期間の間、これらのトランジスタが順方向バイアスになる場合、1つのコンバータが、全体負荷が必要とする電流よりも大きい出力電流を分担する状態が、再度存在し、他のコンバータが負電流を引き込むことがある。このコンバータは、前記状態で発振するか、または正しく動作しなくなる。

【0009】

OR接続トランジスタを通すかまたはクランプ・ダイオードを通すかのどちらにしても、各コンバータがその各出力を直接接続される場合は、負電流問題が発生する別の条件が、コンバータの1つが“遮断”された時に発生する。この遮断状態は、オン／オフ制御入力を通して外部から命令されるか、または電圧、電流、または高過ぎる温度などの異常条件を検出するコンバータ自体の保護回路の結果で発生する。このようなすべての場合において、遮断されるコンバータは、最初の1つの出力電圧を保持している別のコンバータから負電流を引き込む。

【0010】

ここに述べていない他の条件が発生して、同期整流器を備えたDC／DCコンバータの性能により問題が引き起こされ、負電流が引き込まれることがある。

【0011】

【発明の概要】

前述の問題を回避するために、ここで提示する1つの問題解決方法は、問題を発生する条件では、同期整流器および／またはOR接続トランジスタを“ディスエーブル（無効）”にする（すなわち、オンしないようにする）ことである。このようにすると、出力電流はそのまま流れるが、非制御整流器を通してだけ流れる。これらの非制御整流器は負電流が流れるのを防止する、したがって負電流に関連する問題が発生しない。

【0012】

負電流問題の発生が予測されるとき、またはある検知された状態の結果が問題の存在を示すときに、制御整流器をこのようにディスエーブルにする。

【0013】

負電流問題を発生させる条件が存在しなくなったとき、非制御整流器を再度“イネーブル（有効）”（すなわち、オンにする）にして、意図通りに機能させることができる。

【0014】

制御整流器両端の電圧降下は非制御整流器両端の電圧降下に比べて小さいため、制御整流器が急激にイネーブルになる場合は、出力電圧には過渡現象が発生する。過渡現象を回避するために、非制御整流器をオンにして、組合せたデバイスの平均オン状態電圧を、非制御整流器のオン状態電圧から制御整流器のオン状態電圧に徐々に（コンバータの帯域幅に対して）変化させる。“平均オン状態電圧”とは、電流が流れている間の、制御整流器と非制御整流器の並列結合両端の電圧降下の平均値を意味する。同期整流器に対しては、この時間は全体スイッチングサイクルの短い一部分である。

【0015】

負電流問題に対しここで提示される別の問題解決方法は、DC/DCコンバータの制御回路に“最小電流制限”を組み込むことである。最小電流制限は、出力電流を特定のしきい値（スレシールド）と比較し、出力電流がこのしきい値より小さくなると、出力電圧を高くして、電流のそれ以上の低下を制限する。しきい

値電流レベルはわずかに負、ゼロ、またはわずかに正であってもよい。さらに、最小電流制限はフォールド・フォワード、定電流源、またはフォールド・バック特性のどちらかを用いて実現できる。

【0016】

負電流問題を回避するためのこれら2つの方法（すなわち、制御整流器をディスエーブルにする方法と、最小電流制限を組み込む方法）は、別個かまたは一緒に使用できる。

【0017】

本発明の1つの構成によれば、DC/DCパワー・コンバータはコンバータの出力電圧を制御する制御回路を含む。さらにコンバータは、制御回路に対するオーバーライド制御を含み、パワー・コンバータまたは接続された回路に応じて、最小電流制限を行う。好ましくは、パワー・コンバータは同期整流器を含み、オーバーライド制御は同期整流器の制御整流器を通る負電流を実質的にゼロにする。

【0018】

最小電流制限を行うために、オーバーライド制御はパワー・コンバータの電圧出力を上昇させてもよい。最小電流制限は小さい負または正電流にでき、電流源、フォールド・バック、またはフォールド・フォワードの形態を取ることができる。

【0019】

オーバーライド制御は検出された出力電流、または出力電流を表す特定の他の信号に直接反応させてもよい。例えば、出力電流を表す信号は、パワー・コンバータの出力に接続されたOR接続トランジスタを流れる電流、またはパワー・コンバータ内の他の制御整流器を流れる電流などの、パワー・コンバータ内で検出された電流でよい。

【0020】

さらに、このシステムは、決定論理に応じてパワー・コンバータ回路内の少なくとも1つの制御整流器をディスエーブルにできる。例えば、パワー・コンバータの出力のOR接続トランジスタをディスエーブルにできる。

【0021】

本発明を適用する1つのパワー・コンバータは、電源に接続された第1と第2の1次側変圧器巻線を備える。2次側変圧器巻線回路は、第1と第2の1次側変圧器巻線の少なくとも1つに接続された、少なくとも1つの2次巻線を有する。複数の制御整流器の各々は、並列の非制御整流器を有し、2次側巻線に接続されている。各制御整流器は1次側巻線両端の電圧波形を用いて、同期的にオンおよびオフされ、出力を提供する。各1次側巻線は、一定デューティ・サイクル（動作周期）と、制御整流器のオン状態およびオフ状態に対して短い過渡時間とを持つ電圧波形を有する。レギュレータは一定デューティ・サイクルが維持される間、出力を調節する。

【0022】

本発明の別の構成によれば、DC/DCパワー・コンバータは、パワー回路内に制御整流器と非制御整流器とを備える。接続インピーダンスがパワー回路波形と制御整流器の制御端子との間に設けられる。制御整流器をディスエーブルにするために、ホールドオフ回路が起動される。

【0023】

例えば、パワー回路内の同期整流器またはパワー・コンバータの出力におけるOR接続トランジスタを、制御整流器とすることができる。パワー回路波形と制御整流器の制御端子との間の接続インピーダンスは完全な受動回路であってもよい。パワー回路波形は電圧波形にできる。また制御整流器はMOSFETで実現できる。

【0024】

特定の実施形態では、接続インピーダンスはキャパシタを備え、そのキャパシタと並列に抵抗を含むことができる。並列インピーダンスをホールド・オフ回路に並列に接続することにより、ホールド・オフ回路が非作動のときに、パワー回路波形をさらに減衰できる。ホールド・オフ回路は、制御整流器の制御端子と別の端子との間にトランジスタを備えることにより、スイッチが閉じたときに制御整流器をオフに保持することができる。またダイオードをトランジスタに直列に接続できる。

【0025】

ホールド・オフ回路が作動しているとき、負の平均を持つ波形を制御整流器の制御端子に発生させることができる。ホールド・オフ回路が非作動のとき、制御端子に供給された波形の平均は徐々に増加する。

【0026】

決定論理からのイネーブル／ディスエーブル入力信号により、ホールド・オフ回路を起動できる。パワー・コンバータの起動中、およびパワー・コンバータのオフ切換え過渡状態中、パワー・コンバータが遮断されているときに、決定論理は、パワー・コンバータからの出力電圧低下の検出に応答するか、または外部信号に応答して、ホールド・オフ回路を作動できる。特に、制御整流器の制御端子の波形が正常な駆動を引き起こさない状態の検出に応答して、ホールド・オフ回路を非作動にできる。例えば、パワー・コンバータの調節段階から始まる低電圧状態に応答して、ホールド・オフ回路を起動できる。コンバータのパワー・レール (power rail) が低過ぎることに応答するか、または制御整流器を制御する波形が低過ぎることに応答して、ホールド・オフ回路を起動できる。

【0027】

本発明の別の構成によれば、DC／DCコンバータは、制御端子に供給される制御波形に応じて作動する制御整流器を備える。決定論理はイネーブル／ディスエーブル信号を発生して、制御整流器をディスエーブルにする。コンバータ回路はイネーブル／ディスエーブル信号に応答して、制御整流器がオンまたはオフされる度合いを徐々に変化させることにより、制御整流器がイネーブルまたはディスエーブルになるときの、出力電圧の実質的に瞬間的な変動を回避する。制御波形はパワー・コンバータのパワー回路から受動的に提供できる。制御波形の平均が変化する時間は、制御端子とパワー回路の間の抵抗／容量回路により決定できる。

【0028】

【好ましい実施形態の説明】

本発明の前述およびその他の目的、特徴、および利点は、添付図面に示す本発明の好ましい実施形態の以下の詳細な説明から明らかになるであろう。図面では、同一参照符号は異なる図面においても同一部品を指す。図面は必ずしも縮尺通

りでなく、本発明の原理を示すことに重点が置かれている。次に、本発明の好ましい実施形態を説明する。

【0029】

本説明全体を通して、同期整流器とOR接続トランジスタ（オア作動するように接続されたトランジスタ）を実現するために、ダイオードが並列接続されたMOSFETが使用される。その理由は、本発明ではMOSFETが好ましいデバイスであるためである。当業者であれば、ここに提示する概念を、代わりに使用される他のタイプのトランジスタに組み込む方法を知り得るであろう。

【0030】

同期整流器をDC/DCコンバータに使用する場合、スイッチング・サイクルの間に、制御整流器をオンおよびオフするのに必要な信号を制御端子に供給するには2つの方法がある。1つの方法は、以後は“能動的駆動”方法と称する方法であり、他の電子回路、またはパワー回路内の電圧もしくは電流波形からタイミング情報を得ることができる電子回路を用いて、制御信号を供給する。第2の方法は、以後は“受動的駆動”方法と称する方法であり、パワー回路内の波形から直接にか、または受動回路（抵抗、キャパシタ、および／またはインダクタ）を通してかの、どちらかにより、制御信号を供給する。

【0031】

能動的駆動方法は、非絶縁DC/DCコンバータに使用されることが多い。図1はスイッチング・トランジスタ101、同期整流器102、2つのフィルタ・キャパシタ103、104、およびフィルタ・インダクタ105を有するダウン・コンバータを示す。図1に示すように、ダウン・コンバータのトランジスタ101をオンおよびオフに切り換える同一の電子制御回路106を設計して、このコンバータの同期整流器102をオンおよびオフするのは容易である。このような集積回路は、LTC、Maxim、Unitrodeなどの会社から入手できる。

【0032】

能動的駆動または受動的駆動のどちらも、変圧器を有するDC/DCコンバータに使用できる。図2は変圧器201、スイッチング・トランジスタ101、2

つの同期整流器202, 203、およびフィルタ・エレメント103, 104, 105を有する絶縁型フォワード・コンバータを示す。図2に示すように、設計者によっては、コンバータの出力側に電子制御回路を備えて同期整流器を駆動する。出力側制御回路205は、それ自体のタイミング信号を生成してトランジスタ202, 203を駆動でき、また前記タイミング信号をパワー回路の波形から引き出すことができ、さらにパワー回路の入力側の制御回路204から前記出力側制御回路205に通過する信号（変圧器または光カップラなどの絶縁結合を通して）から、前記タイミング信号を取り出すことができる。これらの方法の例は当技術分野では既知である。

【0033】

図3は、同期整流器の制御端子をパワー回路のノードに直接接続して同期整流器202, 203を制御する方法の例を示す。制御回路204がトランジスタをオンに切り換えるとき、それにより変圧器201両端に発生する正の電圧はノードAの電圧を上昇させ、その電圧が同期整流器202をオンにする。この時、ノードBの電圧は低下し、それにより同期整流器203がオフになる。スイッチング・サイクルのこの時間部分の間、パワーは入力源から、変圧器を通り負荷に流れる。トランジスタ101がオフし、変圧器がリセットしているスイッチング・サイクルの第2部分の間、変圧器両端の電圧は負になる。この時、ノードAとBの電圧は、同期整流器202がオフに切り換えられ、同期整流器203がオンに切り換えされる電圧であり、その結果、インダクタ105中の電流の流れが維持される。

【0034】

図4は図3に示す方法の変形形態を示しており、補助巻線403, 404が絶縁変圧器1次巻線401と2次巻線402に追加され、同期整流器202, 203の制御端子を駆動する。これら補助巻線の極性の配列は、スイッチング・サイクルの間、正しい同期整流器が確実にオンされるようになっており、また巻数比は正しいレベルの駆動電圧を供給するように選択されている。補助の変圧器巻線を使用する他の例は、当技術分野では既知である。

【0035】

受動的駆動方法に対しては、同期整流器の制御端子とパワー回路との間に受動コンポーネントを追加して、特定の希望する結果を得ることができる。例えば、図5には変圧器ベースの別のDC/DCコンバータを示しており、このコンバータには、トランジスタ101、102とフィルタ・エレメント105、500、515とから構成されるダウン・コンバータ・ステージを組み込み、1次巻線501、503と2次巻線502、504を有する2つの変圧器を用いて調節と絶縁ステージとを提供している。トランジスタ516、517は1次巻線501と503を交互に調節ステージの出力に接続し、また同期整流器505、506は2次巻線を交互に出力キャパシタ104に接続する。キャパシタ/抵抗分割回路（エレメント507～510およびエレメント511～514から構成される）を使用して、ノードAとBでパワー回路により供給される波形に比べて小さい駆動信号を同期整流器505、506に供給する。この概念はPCT出願WO98/33267（1998年7月30日公開）に詳細に記載されており、その内容の全文を、本明細書の一部をなすものとしてここに引用する。

【0036】

同期整流器の制御端子が電子回路を用いて駆動されるとき、それらの制御端子をイネーブルまたはディスエーブルにする方法は簡単である。例えば、図6に示すように、論理ゲート604を制御回路602と同期整流器のゲート・ドライバ603との間の信号経路に加えることができる。この論理ゲートは、多くの形態を取ることができ、また集積回路または個別部品で構成でき、信号経路内のその位置はここで示す配置以外にいくつかの融通性を有する。これらのすべては当業者には即座に理解されるであろう。すべての場合において、論理ゲートは入力信号605を必要とし、その入力信号により、同期整流器をイネーブル/ディスエーブルにする時点を決める。前記信号を発生する方法は後に説明する。

【0037】

制御端子がパワー回路の電圧波形または電流波形で駆動されるとき、別の方法を使用して同期整流器をイネーブル/ディスエーブルにできる。例えば、“接続スイッチ”を制御端子に直列に配置し、パワー回路の波形で制御端子を接続または切断できる。接続スイッチに加えて、前記回路は、接続スイッチがオンされる

ときに同期整流器を確実にオフに維持するための“ホールド・オフ回路”を必要とする。

【0038】

図7はこの方法の1つの実施形態を示しており、パワー回路の同期整流器に対しMOSFET701が使用されている。接続スイッチ703はパワー回路702の波形をMOSFETのゲートに接続する。この接続スイッチはその制御端子704に供給された信号によりオンおよびオフされる。ホールド・オフ回路706は抵抗のような受動インピーダンスでもよく、または接続スイッチ703がオンのときにオンになる別のスイッチでもよく、またはさらに複雑な電子回路であってもよい。抵抗体を使用する場合、必要な時間内にMOSFETゲートの寄生容量を放電するためには十分低い抵抗値であり、さらに同期整流器がイネーブルになるときは、そのパワー消費を小さく維持するためには十分に大きい抵抗値であることが必要である。

【0039】

図8には、制御端子がパワー回路の波形から受動的に駆動されるときに使用する別の方法を示す。図7のスイッチと異なり、“接続インピーダンス”803はパワー回路波形702と、同期整流器に使用されるMOSFET701制御端子との間に配置される。この接続インピーダンスはホールド・オフ回路706と関連して作用し、以下のようにMOSFETをイネーブル／ディスエーブルにする。MOSFETがディスエーブルであるとき、ホールド・オフ回路が起動し、それによりMOSFETのゲート－ソース間電圧をしきい値以下に低下させる。この状態の間、接続インピーダンスにより、MOSFETの制御端子の波形がパワー回路波形702と異っていてもよい。逆に、同期整流器がイネーブルであるとき、ホールド・オフ回路は非作動であり、制御端子波形はパワー回路波形（通常わずかに減衰している）を示す。この方法では、ホールド・オフ回路は能動的コンポーネントを必要とする。

【0040】

この第2の方法では、接続インピーダンスは、ホールド・オフ回路が作動しているときには、ホールド・オフ回路を通り流れる電流のレベルが許容可能な小さ

い値になり、一方、ホールド・オフ回路が非作動のときには、制御端子の波形を適正波形に維持するように選択する必要がある。

【0041】

図9は図8に示す概念を図5に示すキャパシタ／抵抗分割回路に適用した場合の具体的な例を示している。キャパシタ903と抵抗体904の並列結合は、接続インピーダンスを形成し、ダイオード906とこれに直列のトランジスタ905は、ホールド・オフ回路を形成する。

【0042】

次に図5を考察する。図5では、同期整流器505と506の両方が、図8と図9に示される接続インピーダンスとホールド・オフ回路を有する。スイッチ905とダイオード906は、RC回路508、509および512、514の各々に並列に配置される。図5の絶縁ステージが切り換わる時、AとBで示されたノードの波形は矩形波である。一方の半サイクル分の間（ここでは、“リセット半サイクル”と称する）、矩形波の電圧はゼロであり、サイクルの他方の半分の間（ここでは、“駆動半サイクル”と称する）、電圧は出力の約2倍になる。ノードAとBの2つの矩形波は、相互に位相が180度ずれている。パワー回路の動作の詳細な説明は、PCT出願WO98/33267（1998年7月30日公開）を参照のこと。

【0043】

ホールド・オフ回路が非作動の状態では（並列の抵抗とキャパシタの時定数がスイッチング期間に比較して長いと仮定する）、同期整流器のゲートの電圧波形は、ノードAとBの波形と同一形状である。AC成分はキャパシタの分割効果（ $C_{507} / (C_{507} + C_{512})$ ）または $C_{511} / (C_{511} + C_{508})$ により減衰し、またDC成分は抵抗の分割効果（ $R_{514} / (R_{509} + R_{514})$ ）または $(R_{510} / (R_{513} + R_{510}))$ により減衰する。この方法では、ノードAとBの電圧が高過ぎる状態でも、同期整流器のゲート端子に供給される最大電圧を定格以内に維持することが可能である。このように、接続インピーダンスは、この場合には2つの目的を果たす。すなわち、電圧分割器と、同期整流器をディスエーブルにする手段とである。

【0044】

例えば、出力電圧が15Vである場合、ノードAとBの電圧は、最小値がゼロで、最大値が約30Vの矩形波となる。30Vの電圧は、MOSFETのゲートに供給する電圧としては通常は高過ぎる。しかし、キャパシタ507の静電容量をキャパシタ512の1/2にし、また抵抗体509の抵抗値を抵抗体514の2倍にすると、MOSFET506のゲート端子の電圧波形は、最小値がゼロで、最大値が約10Vに減衰した矩形波になる。多くのMOSFETはこの範囲を許容できる。

【0045】

ゲート波形の減衰が所望通りでないときにも、図9に示される接続インピーダンスを回路に追加して、ホールド・オフ回路を同期整流器に対し非作動にできる。C904をMOSFETのゲート端子のすべての寄生容量に比べて大きくして（さらに、R903を非アクティブのホールド・オフ回路の実効抵抗に比べて小さくして）、波形の減衰を最小にすることだけが必要である。

【0046】

ホールド・オフ回路のトランジスタがオンされたとき、ホールド・オフ回路が保持され、すなわちクランプされ、駆動半サイクルの間、ゲート波形はゼロに近くなる。次に、リセット半サイクルの間、これらのゲート波形は負になる。その理由は、キャパシタ507と511がノードAとBの波形のAC成分に対し低インピーダンスで現われるためである。したがってゲート波形は以前の形状と同一矩形波形状を有する。しかし、これら矩形波のDC成分は低いいため、ゲート波形が達する最高電圧は、駆動すべきMOSFETをオンするのに必要なゲートソースしきい値レベルに到達しない。

【0047】

ホールド・オフ回路が作動すると、トランジスタ905を通り流れる電流は、全体の接続インピーダンスを通り流れる全電流に比べて相対的に小さくなる。良好な近似としては、トランジスタは抵抗903を通り流れるDC電流だけを流し、一方、接続インピーダンスを通り流れるAC電流は、同期整流器701のゲート・ソース間静電容量（または、図5のキャパシタ508のようなゲートソー

スに並列に配置された外部キャパシタ)を通り流れる。抵抗体903はキャパシタ904のインピーダンスに比べて相対的に大きいため、このDC電流は相対的に小さい。このように接続インピーダンスを用いる方法は、図7に示した接続スイッチを用いる方法に比べて、より小型のトランジスタで済む。

【0048】

このディスエーブル状態の間、ホールド・オフ回路のダイオードとトランジスタの直列接続の両端の電圧降下により、ゲート波形はわずかに正になることがある。この正の値はMOSFETのしきい値よりも低く維持される必要がある。この状態を保証するのに使用できる技術として、ショットキー・ダイオードを使用し、ホールド・オフのトランジスタのオン状態電圧を可能な限り小さくし、さらに、ホールド・オフ回路をアースの代わりに負電位に接続する技術がある。その他の技術は、ここに提示されたアイデアを与えられれば、当業者には明白であろう。

【0049】

リセット半サイクルの間、ゲート波形の値が負であることが、図9に示されたホールド・オフ回路のトランジスタに対して直列にダイオードを追加する理由である。

【0050】

ホールド・オフ回路は、2つの代わりに1つだけのトランジスタを使用して、2つの同期整流器をディスエーブルにすることが可能である。図10に示すように、単一のトランジスタ1011は、ダイオード1007と1008を通して同期整流器1001と1002の2つのゲート端子に接続される。この構成では、トランジスタ1011は、ダイオード1007と共に作用して、駆動半サイクルの間MOSFET1001のゲート電圧をクランプし、次にダイオード1008と共に作用して、次の半サイクルにおけるMOSFET1002のゲート電圧をクランプする。

【0051】

図9と10は、ホールド・オフ回路のトランジスタ(905または1011)がバイポーラ・トランジスタである場合を示す。MOSFETのような他のトラ

ンジスタも使用できる。

【0052】

前述の説明は、非絶縁型コンバータでは能動的駆動方法が最も多く使用されることを示しているが、受動的駆動方法を使用することも可能である。例えば、図1のダウン・コンバータでは、図11に示すように、適正な巻数比を持つ第2巻線1011をインダクタ105に追加して、ゲート端子に接続することができる。ホールド・オフ回路と共に、接続スイッチまたは接続インピーダンスを使用するための概念は、したがって、この場合にも同様に適用できる。

【0053】

OR接続トランジスタを使用してDC/DCコンバータ出力を出力バスに接続するとき、このデバイスの制御整流器をオフに切り換えることにより、負電流問題を解決できる。このようにして、コンバータを、負電流を流さない非制御整流器を通してだけ出力バスに接続した状態に残す。図12に示すように、能動電子回路1203とゲート・ドライバ1205を使用してOR接続トランジスタ1202を制御できる、この場合には、論理ゲート1204がイネーブル/ディスエーブル機能を提供できる。

【0054】

パワー回路の波形から、OR接続トランジスタの制御端子を駆動できる。図13は、これを図5のコンバータに対して実施した1つの方法を示す。この方法では、図5のパワー回路1301のノードAとBの電圧波形が、ダイオード1303と1304を通してOR接続MOSFET1302のゲート端子に接続されている。前述のように、パワー回路が切換中のとき、ノードAとBの電圧波形は位相のずれた矩形波であり、約ゼロ・ボルトと出力電圧の約2倍との間の振幅を持つ。ダイオード1303と1304は、出力電圧に近いゲート・ソース間電圧を与えるこれらの波形のピークを検出する。例えばコンバータが動作していないときに、これら波形が現われない場合には、抵抗体1305はOR接続トランジスタ1302のゲートを放電して、そのトランジスタをオフにする。この場合、同期整流器に対して前述の接続スイッチ、接続インピーダンス、およびホールド・オフ回路を使用するイネーブル/ディスエーブル方法を、ここではOR接

続に対しても同様に使用できる。

【0055】

同期整流器からなる制御整流器および／またはOR接続トランジスタをイネーブル／ディスエーブルするための方法に関係なく、それらがイネーブルまたはディスエーブルになるべき時点に応じて、論理決定を実行する必要がある。次に、この決定を基にして、適正な”イネーブル／ディスエーブル入力信号”を、前述の論理ゲート、接続スイッチ、またはホールド・オフ回路に対し（または、ここに提示されたアイデアを与えられる当業者には理解される、すべての他のイネーブル／ディスエーブル回路に対し）発生する。この決定を実行するための、またイネーブル／ディスエーブル入力信号を提供するためのいくつかの方法を以下に述べる。ここで”決定論理”と称するこれらの方法は、単独、2つ、または3つ以上の組合せで使用できる。

【0056】

使用できる1つの決定論理方法は、同期整流器からなる制御整流器（制御される整流器）および／またはOR接続トランジスタを、コンバータを遮断するときには、ディスエーブルにすることである。この”遮断決定論理”により、コンバータが動作していないとき、コンバータが負電流を引き込まないように保証する。これは、遮断信号から直接、イネーブル／ディスエーブル入力信号を引き出すことにより実現できる。図14は、これを非絶縁型コンバータに対し適用する方法を示す。この図では、電子回路106が、外部供給されるオン／オフ信号1408か、または異常状態を検出して遮断信号1406を発生する内部保護回路のどちらかに応答するセクション1407を有する。論理ゲート1404は、この遮断信号を入力の一つとして利用して、同期整流器（OR接続トランジスタ）102のゲート端子に通ずるゲート・ドライバ1405への経路上で通常のゲート駆動信号1407をイネーブルまたはディスエーブルにする

【0057】

イネーブル／ディスエーブル入力信号（どの決定論理または決定論理の組合せから、それが引き出されるかに関係しない）が、絶縁型コンバータの入力側に配置される場合には、絶縁ギャップは図9に示される光アイソレータを用いてプリ

ッジ（橋絡）して、コンバータの出力側にイネーブル／ディスエーブル入力信号を提供できる。この回路では、光アイソレータ1510は、トランジスタ1506と抵抗体1507とから構成される反転バッファを駆動する出力トランジスタを有する。次に、このバッファの出力が、ホールド・オフ・トランジスタ1505を駆動し、ダイオード1503と1504を通し同期整流器1501と1502のゲートを引き下げる。

【0058】

遮断決定論理方法において、イネーブル／ディスエーブル入力信号を発生するための代替方法は、コンバータが作動しているかどうかに依存してそれらの形状が変化するパワー回路の波形を観測して、コンバータが遮断された時を間接的に識別することである。例えば、図1のノードXの電圧、図1の101両端の電圧、または図2～5の2次巻線両端の電圧を利用できる。図16は、この間接的方法をこれらの回路すべてに対して実現する方法の1つの例を示す。スイッチング波形を有するノードの電圧は、ダイオード1601、キャパシタ1602、および抵抗体1603によってピーク検出される。コンバータがスイッチング中は、キャパシタ1602両端の電圧は高くなる、スイッチング中でない場合、その電圧は低くなる。比較器はこの電圧を分割した分圧を検出して、それを基準電圧1607と比較する。キャパシタ両端の電圧が低過ぎる場合は、コンバータがスイッチングを停止したことを示しており、比較器出力1608はlowになる。次にこのlow信号を使用して、パワー回路1610の同期整流器をディスエーブルにする。パワー回路の複数のスイッチング・ノードを検出することもできる。例えば、図5のパワー回路では、ピーク検出回路の2つのダイオードを使用してノードAとBの両方を検出できる。

【0059】

使用可能な第2の決定論理方法は、出力電圧が低過ぎるときには、同期整流器からなる制御整流器および／またはOR接続トランジスタをディスエーブルにすることである。この”出力電圧低下論理”は、起動、過剰負荷電流、回路短絡、またはその他の異常事態などの状態により、出力電圧が正常動作時に比べて低下するとき、コンバータが負電流を引き込まないことを保証する。この決定論理方

法は、比較器を使用して出力電圧を直接検出し、電圧が特定のしきい値（例えば、正常値の90%）より低いかどうかを検査することにより実現できる。次に、図17に示されるような回路を用いて適正なエーブル／ディスエーブル入力信号を引き出せる。この回路は、出力電圧（抵抗分割回路網1603と1604により発生される）の値を基準1602により発生する電圧と比較する比較器1605を含む。一般的な設計理論に従って、比較器にヒステリシスを追加できる。この決定論理方法は、パワー回路内の特定の他の電圧または電流（出力電圧を表わす）を検出することによっても実現できる。

【0060】

使用可能な第3の決定論理方法は、出力電流が特定のしきい値レベル以下に低下するときには、同期整流器からなる制御整流器および／またはOR接続トランジスタをディスエーブルにすることである。この”低出力決定論理方法”におけるしきい値は、理想的にはゼロに設定され、コンバータが起動して負電流を引き込むときに、制御整流器をディスエーブルにし、それにより負電流が流れるのを防止する。しかし、しきい値に対しゼロ・アンペアを選択する必要はない。

【0061】

例えば、わずかに負の値（例えば、定格電流の1～10%）を使用して、コンバータが、完全にゼロの負荷電流になるまで意図したとおりに確実に作動するようにできる。これにより、異常状態ではいくらかの負電流が流れるが、システム性能に悪影響を与える程ではない。または、わずかに正のしきい値レベルを使用して、コンバータが負電流を引き込まないようにできる。これにより、小さい、正の負荷電流が、より効率的な制御整流器ではなく、非制御整流器を通り流れるが、電流レベルが小さいため、大きいパワー消費を発生させない。

【0062】

一般に、しきい値は高精度である必要はない（小さい負の値と小さい正の値の範囲にできる）。さらに、実行される比較には、ヒステリシスを組み込むことができる。

【0063】

出力電流を測定するには、電流経路内の低抵抗体の両端の電圧を測定するか、

またはスイッチの1つに直列に変流器を使用するなどのいくつかの既知の方法を使用できる。これは、コンバータの出力側で実行可能であり、または出力電流を表わす電流をコンバータの入力側で測定可能である。

【0064】

この決定論理方法を実現する別の方法は、同期整流器またはOR接続トランジスタの両端の電圧降下を検出することである。図18はこの後者の方法の1つの使用例を示しており、この使用例では、図10の接続インピーダンス方法が図5のパワー回路内で利用されている。コンバータが正の出力電流を供給する限り、ノードAとBの一方または他方、または両方が常時ノードCに対し負になっている、これは、同期整流器1001と1002のどちらの一方（または両方）が導通しているかに依存する。その結果、ダイオード1801と1802は、ホールド・オフ・トランジスタ1011のベースを十分低い電圧に維持し、このトランジスタをターン・オフにし、また同期整流器をイネーブルにする。負荷電流が負になる場合、それぞれの同期整流器の導通時間の間、ノードAとBの電圧は正になり、ホールド・オフ・トランジスタ1011のベース電圧は対応して上昇し（正の出力端子 V_{out} に接続されたプルアップ抵抗体1803により）、その結果、トランジスタ1011がオンになる。これにより、前述のように、制御整流器1001、1002はディスエーブルになる。

【0065】

使用可能な第4の決定論理方法は、コンバータ動作の起動ステージの間、同期整流器からなる制御整流器および／またはOR接続トランジスタをディスエーブルにすることである。この”起動決定論理方法”は、オン切換え過渡状態の間、コンバータが負の電流を引き込まないことを保証する。この方法は、”遮断決定論理方法”に用いた前述の方法を用いて実現できるが、時間遅延を追加することにより修正され、コンバータがそれ以上遮断されなくなった後のある時間の間、制御整流器がディスエーブルに維持される。この決定論理方法を実現する別の方法は”遮断決定論理方法”を”出力低下電圧決定論理方法”と組み合わせることである。制御整流器がイネーブルになる前に、コンバータが動作し、かつ、出力電圧がその正常値まで上昇している必要がある。

【0066】

使用可能な第5の決定論理方法は、コンバータが遮断される前に、コンバータ出力電圧が徐々にゼロに低下する”オフ切換え過渡状態”の間、同期整流器からなる制御整流器および／またはOR接続トランジスタをディスエーブルにすることである。この”オフ切換え過渡方法”は、このオフ切換え過渡期間の間、コンバータが負の電流を引き込まないことを保証する。さらにまた、この決定論理方法は”遮断決定論理方法”に用いた前述の方法を用いて実現できるが、コンバータを遮断する前のオフ切換え過渡状態の間、制御整流器をディスエーブルにするように変更されている。または、”出力電圧低下決定論理方法”を”遮断決定論理方法”と組合せて、所望の結果を得ることができる。

【0067】

使用可能な第6の決定論理方法は、外部信号がコンバータに供給されるときに、同期整流器からなる制御整流器および／またはOR接続トランジスタをディスエーブルにすることである。このような信号は、負の電流が存在することを検出する回路か、または負の電流という問題が発生する可能性があることを検出する回路により提供できる。この信号は別のDC/DCコンバータから供給するか、または負荷回路基板上の補助回路から供給することができる。図19はこのような”外部信号決定論理方法”を示す。

【0068】

使用可能な第7の決定論理方法は、制御整流器の制御端子に供給される波形が正しい駆動を引き起こさない状態にあるときに、波形同期整流器からなる制御整流器および／またはOR接続トランジスタをディスエーブルにすることである。例えば、能動的駆動方法では、制御回路のパワー・レールが正しい動作を保証するには低過ぎるときに、制御整流器をディスエーブルにする。能動駆動回路がパワー回路内の波形からタイミング情報を得る場合、この波形が駆動回路により正しく認識されるには低過ぎるとき、制御整流器をディスエーブルにできる。同様に、受動的駆動方法では、制御整流器の制御端子を駆動するのに使用される波形が制御整流器の正しい制御を保証するには低過ぎるときに、制御整流器をディスエーブルにできる。

【0069】

この”不適正レベル決定論理方法”の特殊な例として、図5の回路が考えられる。この受動的駆動例では、同期整流器505と506がオンのときに、それらのゲートに供給された電圧は、中間バスのキャパシタ500両端の電圧に比例する。この中間バスのキャパシタの電圧が低過ぎる場合、整流器は完全にオンするのに十分な高い電圧で駆動されなくなり、この状態では正しく動作しない。したがって、中間バス電圧を検出し、この電圧が一定のしきい値よりも低いときは、制御整流器をディスエーブルにする。コンバータの正常動作の間、中間バス電圧をこのしきい値以上とする必要があるので、しきい値は比較的高い値（例えば、中間バス電圧の正常値の50％）に選択される。

【0070】

DC/DCコンバータが動作して、その出力端子にパワーを供給中に、同期整流器からなる制御整流器および／またはOR接続トランジスタがディスエーブルであるときは、コンバータは非制御整流器の比較的大きな電圧降下を補償している。制御整流器をイネーブルにする時間に達して、整流器が急速にイネーブルになる場合、出力電圧は、非制御整流器と制御整流器の間の電圧降下の差により瞬間的に上昇する。

【0071】

この過渡現象を回避するためには、制御整流器を”徐々にイネーブル”にする必要がある。これにより、導通している同期整流器またはOR接続MOSFETの両端の平均オン状態電圧が、コンバータの帯域幅と同等もしくはそれより長い期間に渡り、非制御整流器の大きな電圧から制御整流器の小さな電圧に徐々に変化する必要があることを意味する。これが満たされると、コンバータのフィードバック・ループがデューティ比（duty ratio）（または他の制御変数）を調整するための時間を有し、それにより出力電圧の変動を許容できる値に維持する。例えば、フィードバック・ループに10kHz帯域幅を有するコンバータでは、約0.1msまたはそれ以上の時間に渡って徐々にイネーブルにする。

【0072】

同期整流器またはOR接続トランジスタの平均オン状態電圧の制御には、2つ

の方法がある。それらはPCT出願WO98/33267（1998年7月30日公開）に詳細に記載されている。

【0073】

第1の方法は、制御整流器をオンにする度合いを制御する。例えば、MOSFETデバイスを使用すると、電圧（MOSFETが導通している時間中の）を制御して、しきい値としきい値以上の数ボルトの間のどこかの電圧にできる。前者の場合には、MOSFETのチャンネル抵抗は極めて高い、後者の場合は、最小の抵抗値になる。

【0074】

したがって、ゲート電圧（MOSFETが導通している時間中の）をしきい値からしきい値以上の数ボルトに徐々に上昇させることにより、電圧MOSFETの平均オン状態電圧を、非制御整流器の平均オン状態電圧から制御整流器の平均オン状態電圧に徐々に減少できる。

【0075】

図10は、MOSFETのゲート電圧をこのように徐々に上昇させる1つの方法を示す。前述のように、正常動作中は、ゲート電圧波形は、リセット半サイクル中のほぼゼロから駆動半サイクル中のしきい値よりも十分高い電圧まで変化する矩形波である。逆に、ホールド・オフ回路が作動しているとき、ゲート電圧波形の範囲は、駆動半サイクル中のゼロより僅かに高いレベルから、リセット半サイクル中の負の値までである。この波形のDC値は負である。

【0076】

図10のホールド・オフ回路が非作動のとき（すなわち、トランジスタ1011がオフのとき）、ゲート電圧波形のDC値は初期の負の値から、最終の正の値に上昇する。この上昇は $(1 - e^{-t/\tau})$ の形である。ここで、 τ は特性時定数 $C1005 \times R1003$ （または、 $C1006 \times R1004$ ）である。ゲート波形のDC電圧が上昇すると共に、波形の駆動半サイクル中のゲート電圧の値が上昇する。特性時定数を十分長く取る（数ミリ秒）ことにより、MOSFETの平均オン状態電圧は徐々に減少する。これは一般に $R1003$ （または $R1004$ ）を相対的に大きくすることを意味し、それにより、ホールド・オフ・トランジス

タの電流取り扱い要件を小さく維持する。接続インピーダンスは複数の役割を果たすことを再度記載しておく。それらには、前述の内容に加えて、イネーブルのときにMOSFETゲート電圧を徐々に上昇させる手段を提供することを含む。

【0077】

同期整流器またはOR接続トランジスタの平均オン状態電圧を制御するための第2の方法は、制御整流器がオンしている時間の割合（組み合わせたデバイスが導通状態である全体時間中の割合）を制御することである。例えば、制御整流器は、導通時間中に極めて短時間でオン切換えでき、または全体期間の間オンにできる。前者の場合、組み合わせたデバイスの平均オン状態電圧は、非制御整流器の平均電圧に近い（なぜなら、デバイスは大部分の時間、電流を流す）、後者の場合は、組み合わせたデバイスの平均オン状態電圧は、制御整流器の平均電圧である。

【0078】

したがって同期整流器またはOR接続トランジスタの平均オン状態電圧は、制御整流器がオンである時間の割合を徐々に減少させることにより、非制御整流器の平均電圧から制御整流器の平均電圧に徐々に減少する。

【0079】

図20は、これを達成できる1つの方法を示しており、電子回路を使用して同期整流器に制御信号を供給している。この例では、制御整流器をイネーブル／デイスエーブルにするのに使用される論理ゲートの前段（ゲート入力端）に、ランプ発生回路2012（インバータ2002、ベース抵抗体2003、トランジスタ2004、電流源2005、およびキャパシタ2006）と、比較器2001と、ダイオード2008を持つRC回路2007、2009とからなる回路がある。ランプ発生回路2012は、電子制御回路602からの駆動信号2010が同期整流器（OR接続トランジスタ）601をオンにすべきことを示しているときに、ゼロ・ボルトで始まるランプ波を生成する。このランプ信号は、意図する導通時間に渡って上昇し続け、電圧源2010により1ボルトだけ上昇し、比較器2001への負入力として使用される。この比較器の出力はhighだけになり、したがって、比較器の正の入力の電圧がランプ電圧よりも高い場合に、駆動

信号2010が論理ゲート（アンドゲート）604を通過するのを許す。

【0080】

イネーブル／ディスエーブル入力信号605がlowのとき、比較器への正の入力は高く、比較器の出力は常時lowを維持し、制御整流器601に達する駆動信号2010をイネーブルにする。

【0081】

イネーブル／ディスエーブル入力信号605がhighのとき、比較器への正の入力の電圧は、時定数 $R2009 \times C2007$ で指数関数的に上昇する。この電圧が徐々に上昇するにつれ、制御整流器がオンである導通期間の部分を長くする。キャパシタ2007両端の電圧が、充電されて十分な値に達すると、制御整流器は全体の導通期間オンになる。ダイオード2008は、ホールド・オフ回路が作動するとき、キャパシタ2007両端の電圧が急速に放電されることを保証する。

【0082】

また図20に示される回路を使用して、図7に示された方法の接続スイッチを徐々にオンにでき、または図8に示された方法の接続インピーダンスに対し作用するホールド・オフ回路を徐々にオフにできる。

【0083】

前述の一般的概念を使用して、DC／DCコンバータがイネーブル状態からディスエーブル状態に過渡的に変化する速度を制御することも可能である。

【0084】

大部分のDC／DCコンバータは、制御回路内に最大電流制限を組み込んで過大な出力電流の悪影響からコンバータを保護する。各種の方法が使用されるが、これにはコンバータを遮断する方法と、負荷電流の関数である低下した出力電圧で動作を継続する方法とを含む。後者の方法では、コンバータが、出力電圧の低下につれて出力電流がしきい値よりわずかに大きくなることを可能にしたり、コンバータが出力電流を一定に維持したり、コンバータが出力電流を減少させたりする。これらの方法は、“フォールド・フォワード”、“定電流源”、“フォールド・バック”と呼ばれることもあり、各方法を達成する各種の手法は、当技術

分野では既知である。例えば、図22に示されるように、コンバータは通常、特定の負荷に供給するための必要に応じて電流が増加する状態で、一定出力電圧 V_{out} で動作する。しかし、電流が最大レベル I_{MAX} に達する場合、出力の電圧は負荷電流の関数で減少する。フォールド・フォワード、定電流源、およびフォールド・バック電流限は、それぞれ2201、2202、および2203に示されている。

【0085】

同様に、新規の最小電流制限 I_{MIN} を制御回路に組み込んで、DC/DCコンバータの負電流に関連する問題を回避できる。これは、特に同期整流器および／またはOR接続トランジスタを使用するコンバータには有効である、しかし、そのようなコンバータに限定されるものではない。一般に、このような電流制限は、負荷電流が一定のしきい値レベルより低くなると出力電圧を上昇させる。この時、上昇した出力電圧は出力電流がさらに減少するのを抑制する。

【0086】

最小電流制限のしきい値レベルは、図示されるように、わずかに負、ゼロ、またはわずかに正の値にできる。望ましいのは、問題を引き起こす大きさの負の電流を避けることである。例えば、わずかに負のしきい値レベル（例えば、定格電流の1～10%）を使用して、意図するように、コンバータが負荷電流を完全にゼロに低下させるように働くことを保証できる。これにより、異常状態である程度の負の電流（システム性能に悪影響を与えない大きさ）が流れるようになる。または、わずかに正のしきい値レベルを使用して、コンバータが負の電流を引き込まないように保証する。これにより、小さい正の負荷電流が、より効率的な制御整流器ではなく非制御整流器を通して流れるが、電流レベルが小さいため、大きいパワー消費を発生させない。この状態は、軽負荷で実際に小さい全体パワー消費を発生する。その理由は、制御整流器をオンおよびオフにすることにより通常発生するスイッチング損失が生じないためである。スイッチング損失のこの節減量は、軽負荷電流が非制御整流器を通して流れるときに発生する追加の導電損失よりも大きくできる。

【0087】

しきい値電流レベルに達すると、最小電流制限制御回路がフォールド・フォワード、定電流源、またはフォールド・バック電流制限の特性を発生するように設計できる。この場合、フォールド・フォワード特性2204により、出力電圧が上昇するのに伴い出力電流がわずかに減少し続ける。定電流源特性2205は、出力電圧が上昇するときに出力電流をほぼ一定に維持する。フォールド・バック特性2206は、出力電圧が増加すると、出力電流をしきい値レベル以上に増加させる。これらの異なる特性、および制御回路でそれらを達成するための種々の方法は、最大電流制限に対し使用されたものと同様であるから、当業者には容易に理解されるであろう。

【0088】

図21はDC/DCコンバータのブロック図を示しており、最小電流制限が制御回路に組み込まれている。このDC/DCコンバータは、すべての形態の非絶縁型または絶縁型コンバータとすることができる。出力電流の検出は抵抗、変流器、またはホール効果センサなどのいくつかの異なるタイプのセンサを用いて実現できる。電流の検出は、出力端子においてか、または選出される電流が出力電流を表わすパワー回路内の特定の他の位置において可能である。場合によっては、電流以外の他の変数（しかし、出力電流を表わすもの）を検出できる。一般に、同期整流器またはOR接続トランジスタをディスエーブルにすることに関して前に説明した第3の、低出力電流決定論理検出方法に使用されるものと同様の検出方法を、ここでは使用できる。

【0089】

最小電流レベルに達すると出力電圧を上昇させるために、一般に制御回路がDC/DCコンバータのデューティ・サイクルを調整する。例えば、図1～5のダウン・コンバータでは、トランジスタ101のデューティ・サイクルが増加する。

【0090】

同期整流器をオフする代わりに電圧出力を上昇させる利点は、同期整流器をオンにすることで、大きい電流が流れているときに同期整流器が効率的な状態で動作し続けることである。他方で整流器がオフのとき、非制御整流器は単独で動作

し続け、この非効率的状态で回路が加熱する。

【0091】

ゲートのイネーブル／ディスエーブル方法および前述の最小電流制限方法の両方を組み込んで、負の電流制限に関連する問題を回避できることは明白である。例えば、最小電流しきい値に達したとき、出力電圧を上昇できる。その後、電圧しきい値または他の電流しきい値に達したとき、同期整流器とOR接続トランジスタをディスエーブルにできる。

【0092】

図23は、最大および最小電流制限の両方を実現するための1つの方法を示す。この図では、U1-2301とU2-2302はOPアンプであり、Vrefは基準電圧である。検出される電流Iは抵抗体2303を通り流れ、アースに対し電圧VIを発生する。OPアンプは抵抗体2304～2311を追加した差動増幅器として構成される。キャパシタ2313と2314はこれらの増幅器の高周波でのゲインを減少させて、電流制限フィードバック・ループを安定化する。キャパシタ2312は、パワー回路のノイズに起因する、検出される信号VIのすべての高周波数成分をフィルタ除去する。

【0093】

OPアンプは最大電流制限に対し応答し、OPアンプ2302は最小電流制限に対し応答する。抵抗体2305と2304はVIに対しレベル・シフトVLSを提供する、シフト量はVrefと2つの抵抗の相対値に依存する。両方のOPアンプは、VIのこのレベル・シフト値としきい値電圧との間の差を増幅するが、各OPアンプは、Vrefと、抵抗体2306，2307，または抵抗体2309，2310のどちらかにより設定される異なるしきい値VT1，VT2を有する。VT1は所望の最大電流制限に相当する量だけ、VLSより高く設定される。同様に、VT2は所望の最小電流制限に相当する量だけ、VLSに対し高く設定される。

【0094】

ダイオード2315と2316により、2つのOPアンプは出力電圧VOだけに、一方向に影響を与えることができる。検出される電流が最大電流制限を超え

ると、OPアンプ2301はVCLを引き上げ、検出される電流が最小電流制限より小さくなると、OPアンプ2301はVCLを引き下げる。検出される電流がこれら2つの制限を超える（または下回る）量が大きくなるほど、OPアンプはVCLを引き上げる（または引き下げる）量を大きくする。検出される電流が2つの制限値の間にあるとき、ノードVCLは基本的に高インピーダンス状態である（相対的に高インピーダンスの抵抗体2308、2311と、キャパシタ2313、2314とにより制限される）。

【0095】

最後に、VCLがパワー・コンバータのデューティ・サイクルを決定する通常フィードバック・ループのエラー増幅器2317に対する追加入力として使用される。検出された電流が範囲を超えるときだけ、VCLはエラー増幅器、したがってデューティ・サイクルに影響を与える。増幅器へのVCL接続は、検出された電流が最大電流制限を超えるとき、パワー・コンバータの出力電圧が低下するようにする。逆に、検出された電流が最小電流制限より小さいとき、VCLはコンバータ出力電圧を上昇させる。

【0096】

本発明を好ましい実施形態により詳細に図示し、説明してきたが、当業者には、特許請求の範囲に包含される本発明の範囲から逸脱することなく、形状および細部の各種の変更が可能であることは理解されるであろう。例えば、同期整流器および／またはOR接続トランジスタをNチャンネル・デバイスの代わりにPチャンネル・デバイスを用いて実現でき、その場合には、細部の接続方法と論理の極性は図中に示すものと逆になる。

【図面の簡単な説明】

【図1】

同期整流と能動的駆動系を使用する非絶縁型ダウン・コンバータを示す図である。

【図2】

同期整流と能動的駆動系を使用する絶縁型フォワード・コンバータを示す図である。

【図3】

同期整流と受動的駆動系を使用する絶縁型フォワード・コンバータを示す図である。

【図4】

外部変圧器巻線により駆動される同期整流器を持つ絶縁型フォワード・コンバータを示す図である。

【図5】

受動回路により駆動される同期整流器を使用する別の絶縁型DC/DCコンバータを示す図である。

【図6】

同期整流器をイネーブル／ディスエーブルするために、駆動回路に論理ゲートを挿入した回路を示す図である。

【図7】

同期整流器をイネーブル／ディスエーブルするために、受動的ゲート駆動回路に接続スイッチとホールド・オフ回路を挿入した回路を示す図である。

【図8】

同期整流器をイネーブル／ディスエーブルするために、受動的ゲート駆動回路に接続インピーダンスとホールド・オフ回路を挿入した回路を示す図である。

【図9】

図8に示した概念の具体例を示す図である。

【図10】

2つの同期整流器に対し、ホールド・オフ回路に1つのトランジスタだけを使用するように修正された、図9の具体例を示す図である。

【図11】

同期整流と受動的駆動系を使用する非絶縁型ダウン・コンバータを示す図である。

【図12】

イネーブル／ディスエーブル機能を提供するための、論理ゲートを有するアクティブ制御回路により駆動されるOR接続トランジスタを示す図である。

【図13】

図5に示すパワー回路の波形により駆動されるOR接続トランジスタを示す図である。

【図14】

制御回路遮断信号からイネーブル／ディスエーブル信号を引き出す方法を示す図である。

【図15】

図9に示された概念の具体例を示し、光アイソレータを使用して入力側制御回路からイネーブル／ディスエーブル入力信号を取り出している図である。

【図16】

パワー回路内のスイッチング波形を使用し、コンバータを遮断して”遮断決定論理信号”を提供することを示す図である。

【図17】

比較器回路を使用して、出力電圧が低過ぎることを検知し、また同期整流器をディスエーブルにすることを示す図である。

【図18】

検知出力電流の方向が同期整流器両端の電圧降下と逆であることを示す図である。

【図19】

同期整流器を使用し、整流器をイネーブル／ディスエーブルにするための決定が外部から供給された信号により提供されるDC／DCコンバータを示す図である。

【図20】

正常な導通期間において、オン状態期間を徐々に増加することにより、同期整流器を徐々にイネーブルにすることを示す図である。

【図21】

最小電流制限を実現しているコンバータを示す図である。

【図22】

最小と最大電流制限の両方を有するコンバータの電圧／電流特性を示す図であ

る。

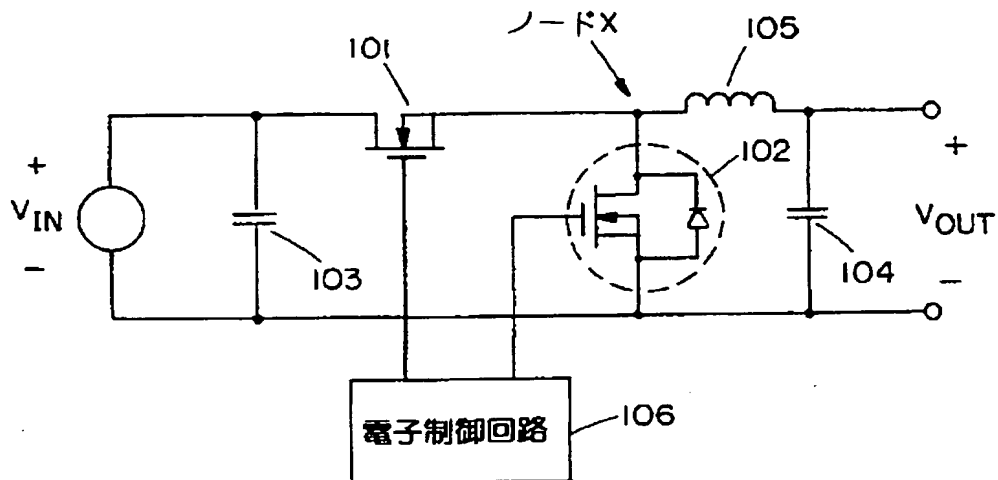
【図23】

最小と最大電流制限の両方を実現するための回路を示す図である。

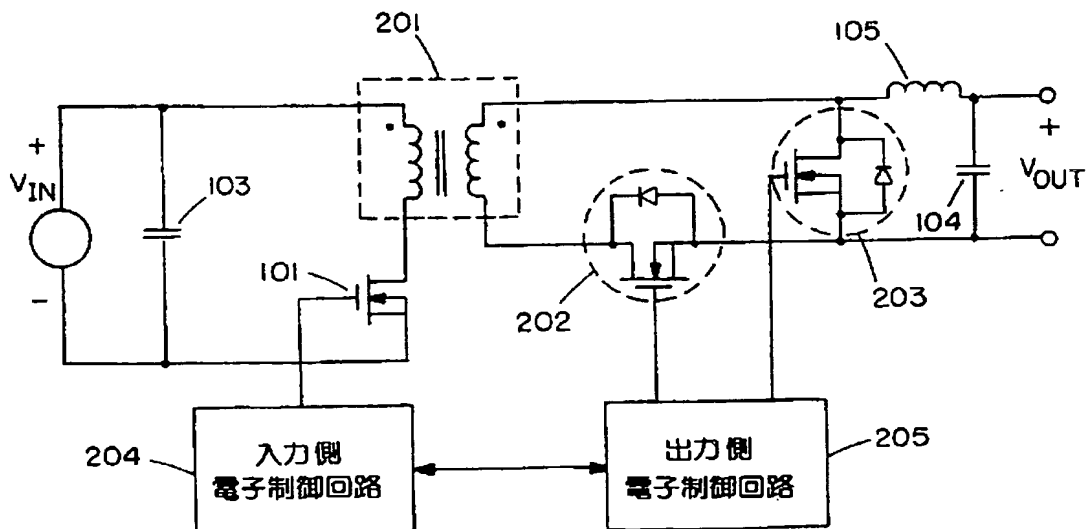
【符号の説明】

102, 202, 203, 505, 506, 601, 701, 1001, 1002, 1202, 1302…同期整流器（OR接続トランジスタ）、803…接続インピーダンス

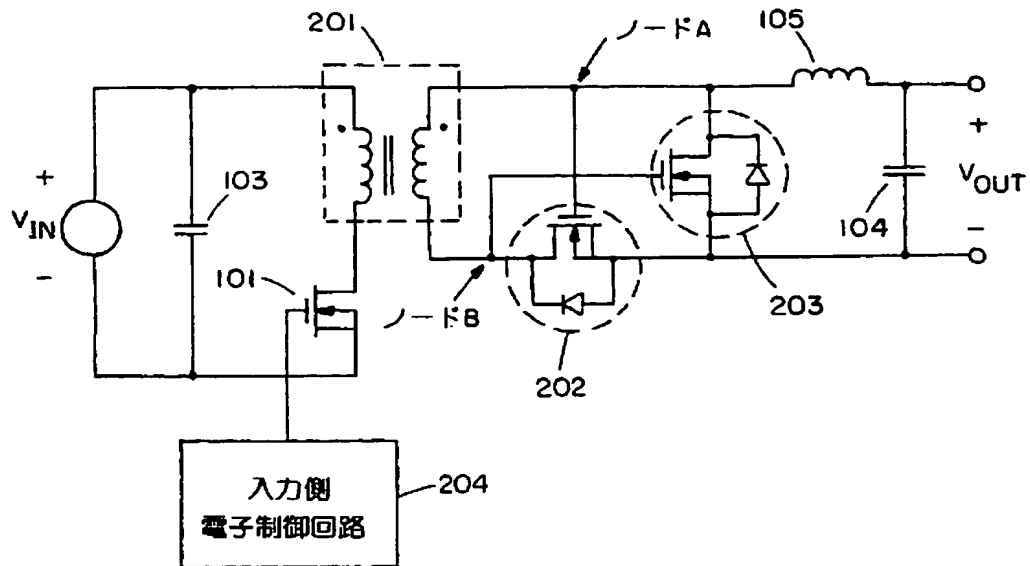
【図1】



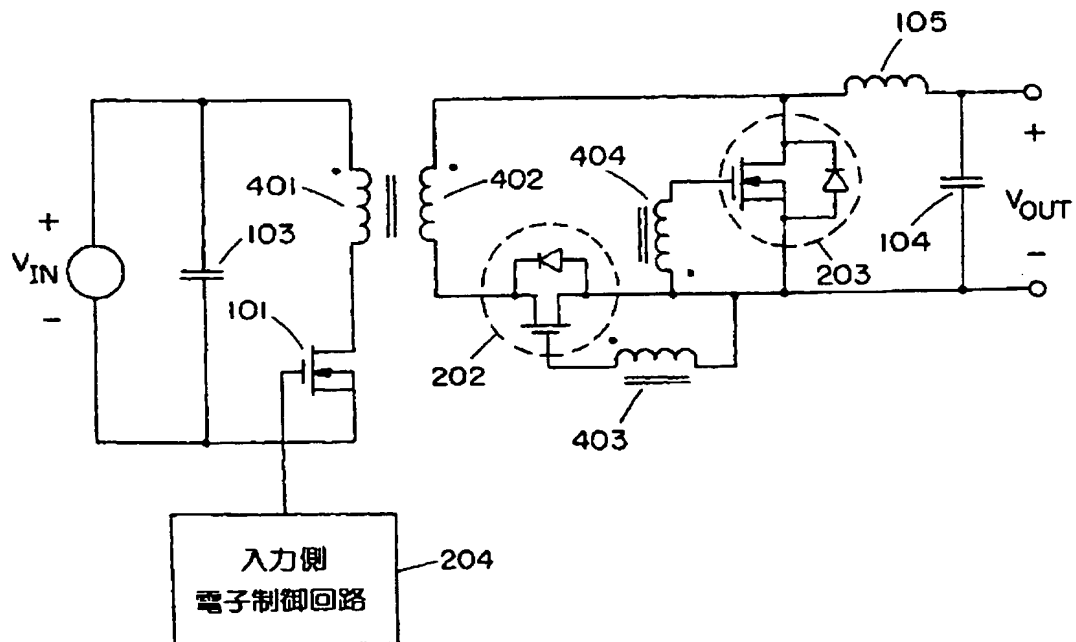
【図2】



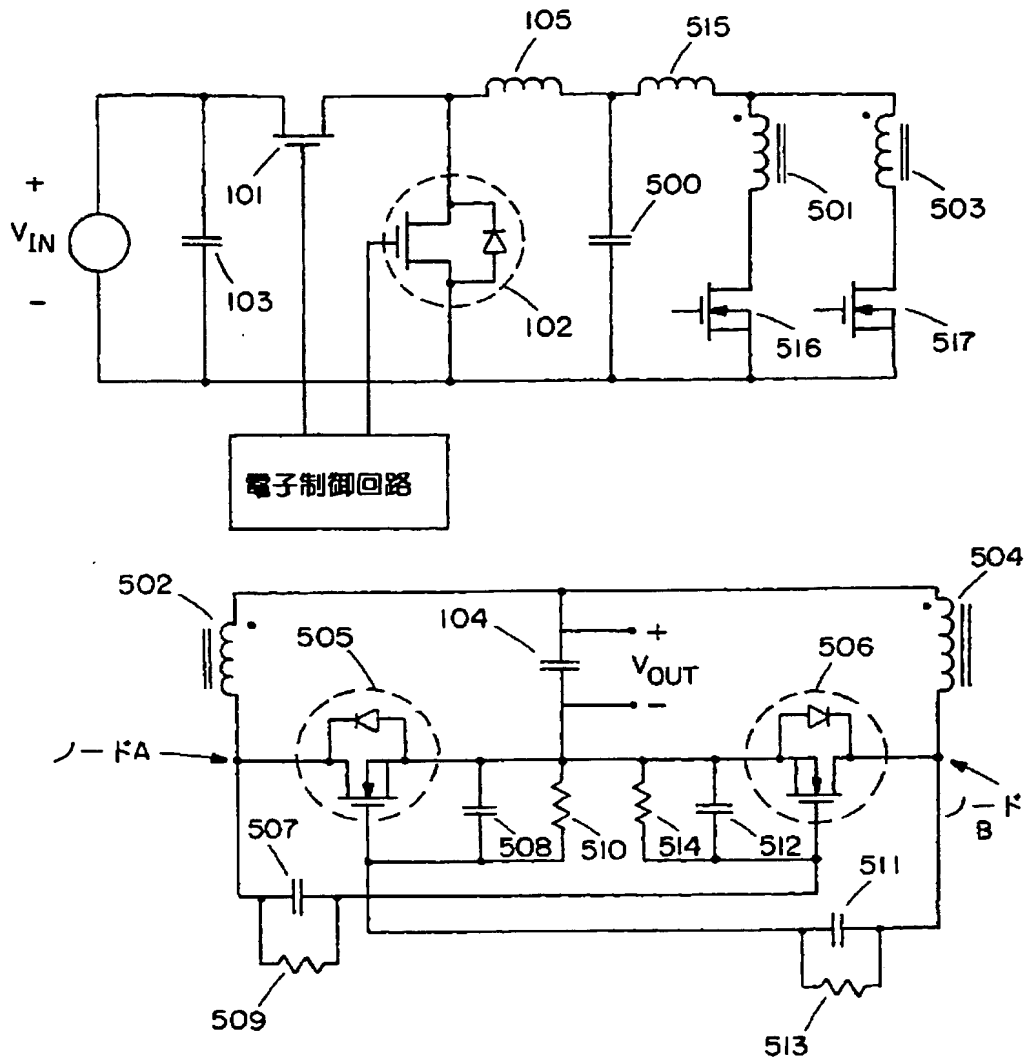
【図3】



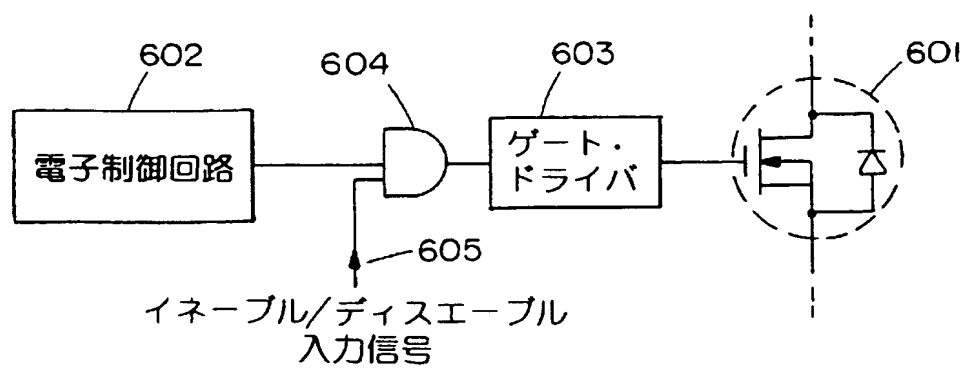
【図4】



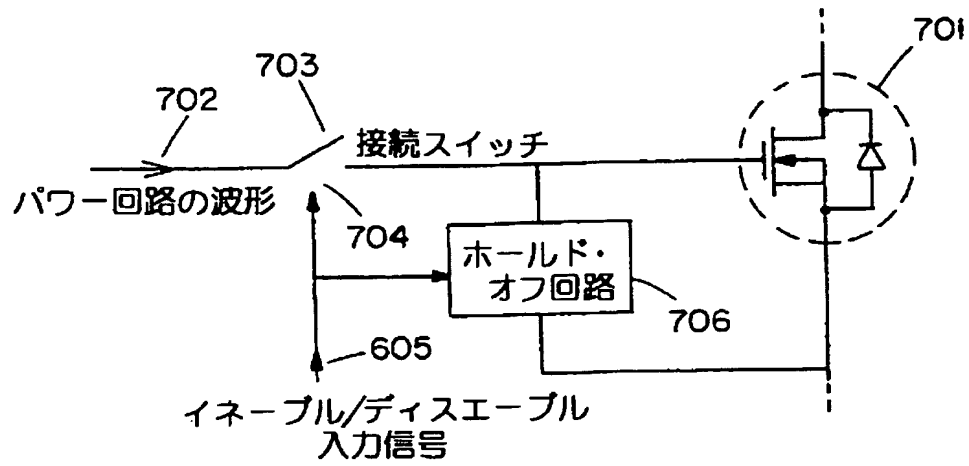
【図5】



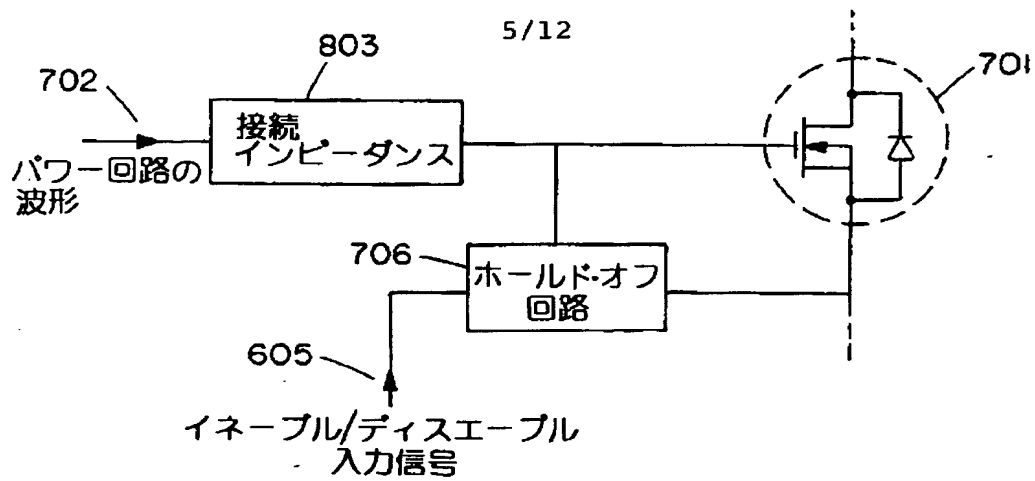
【図6】



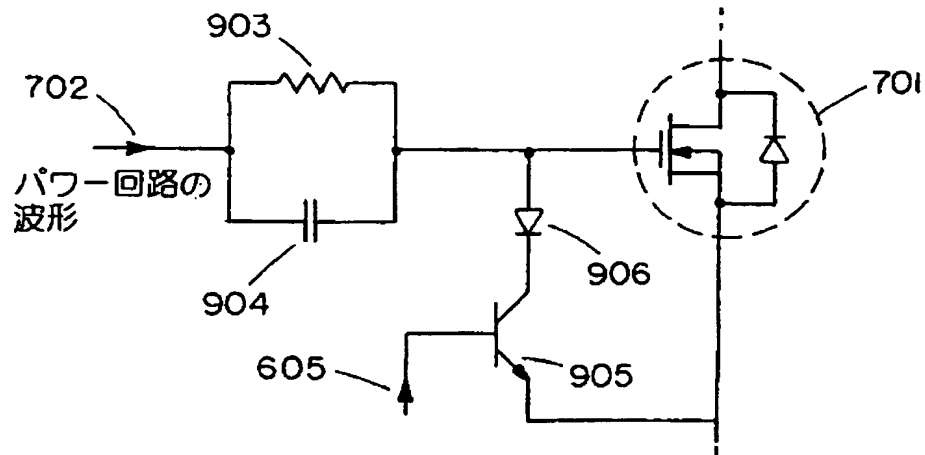
【図7】



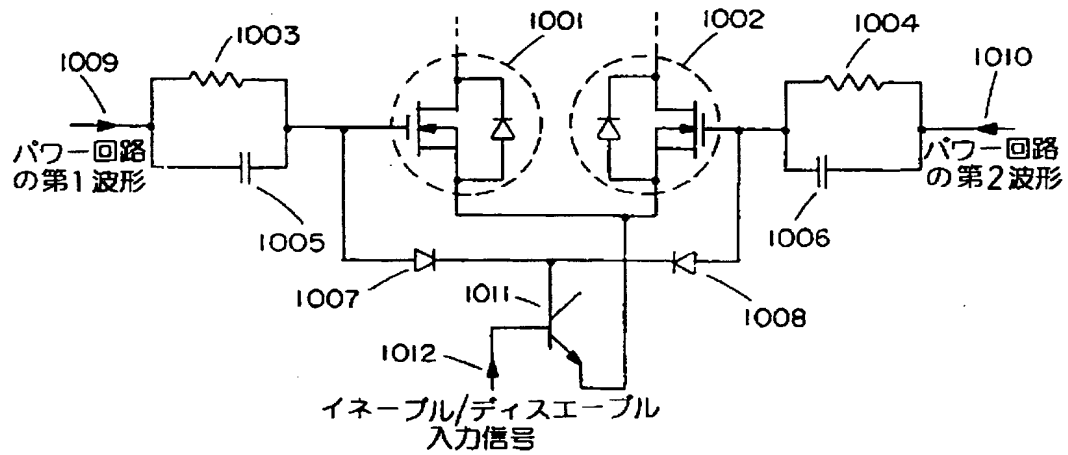
【図8】



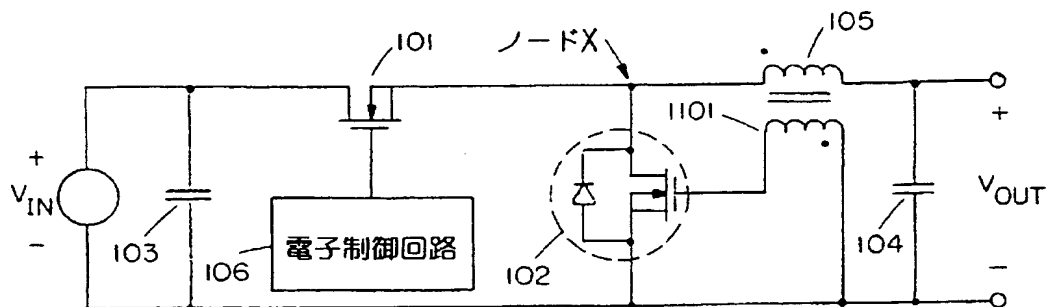
【図9】



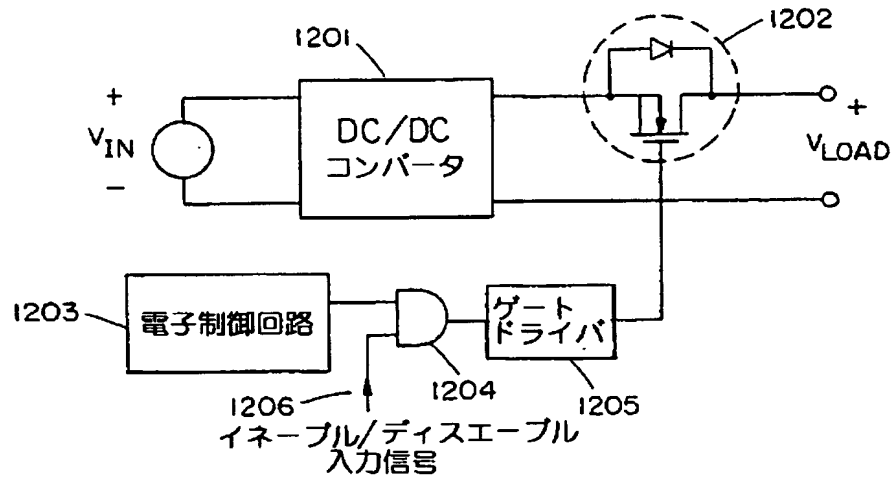
【図10】



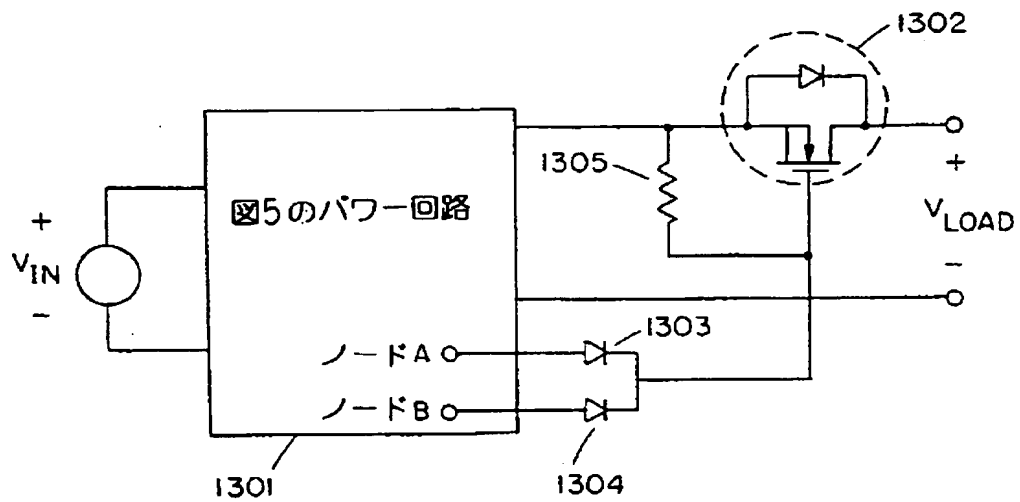
【図11】



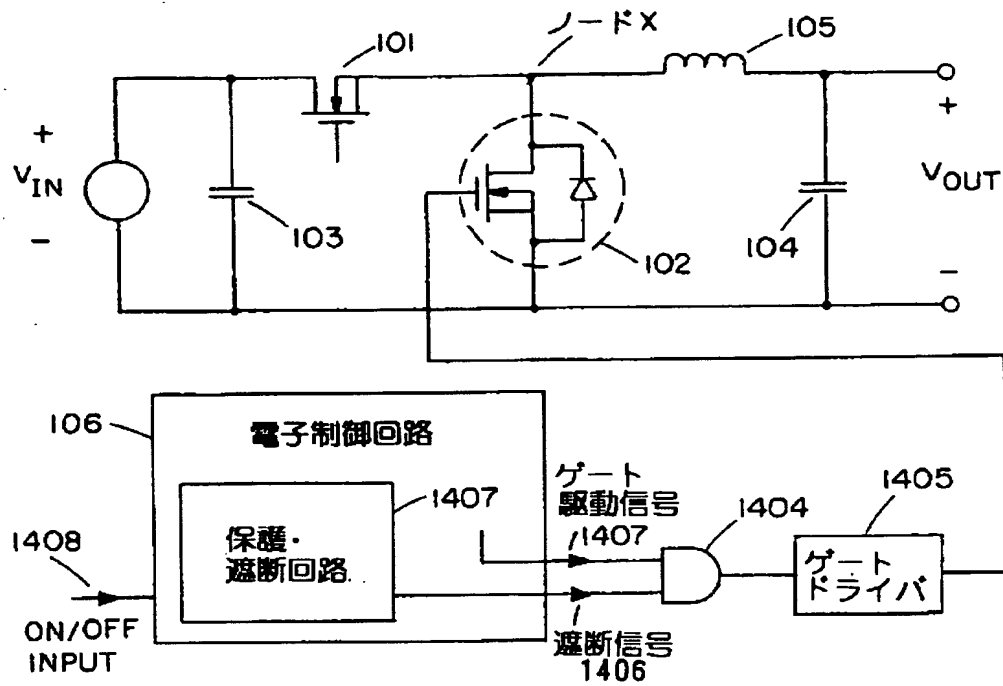
【図12】



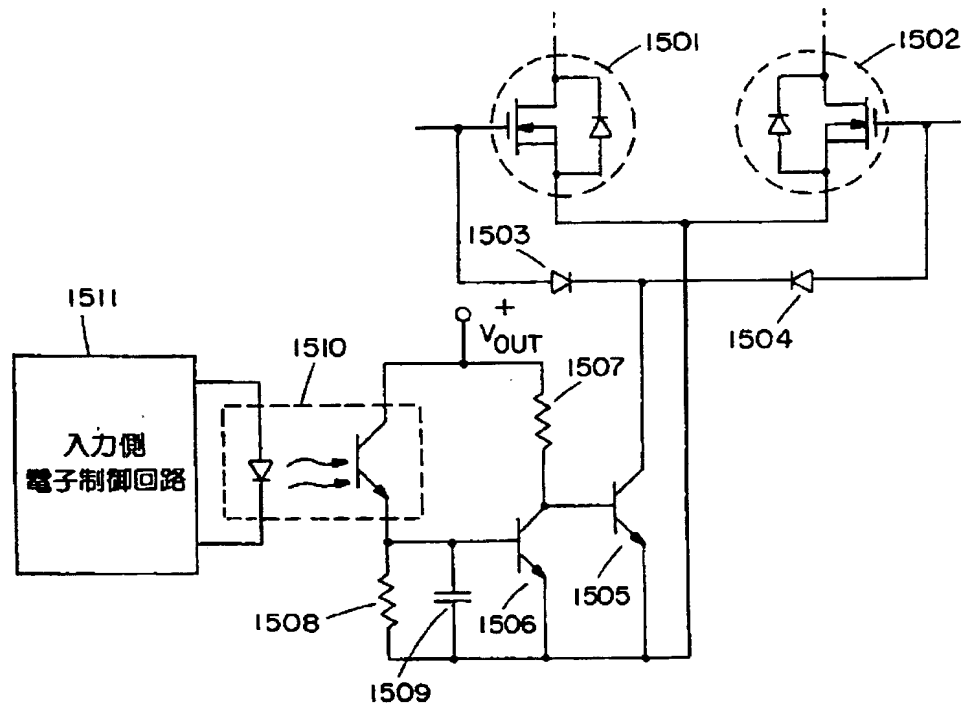
【図13】



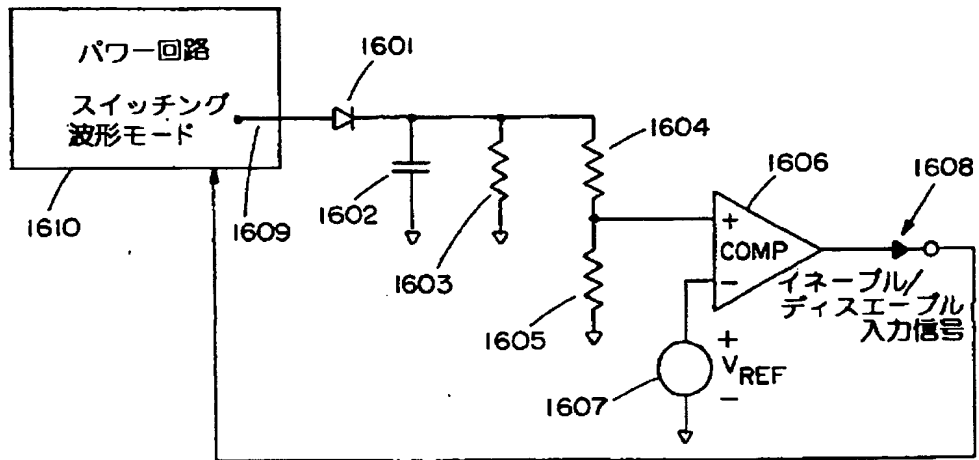
【図14】



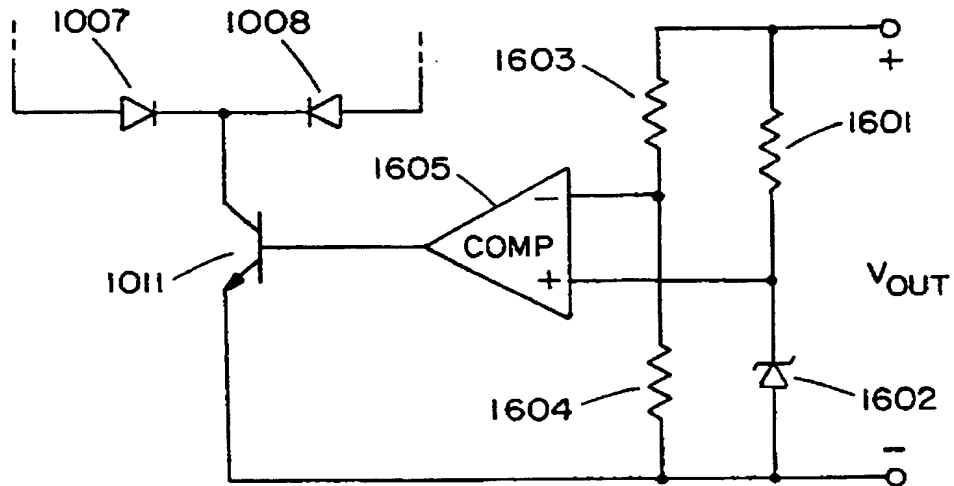
【図15】



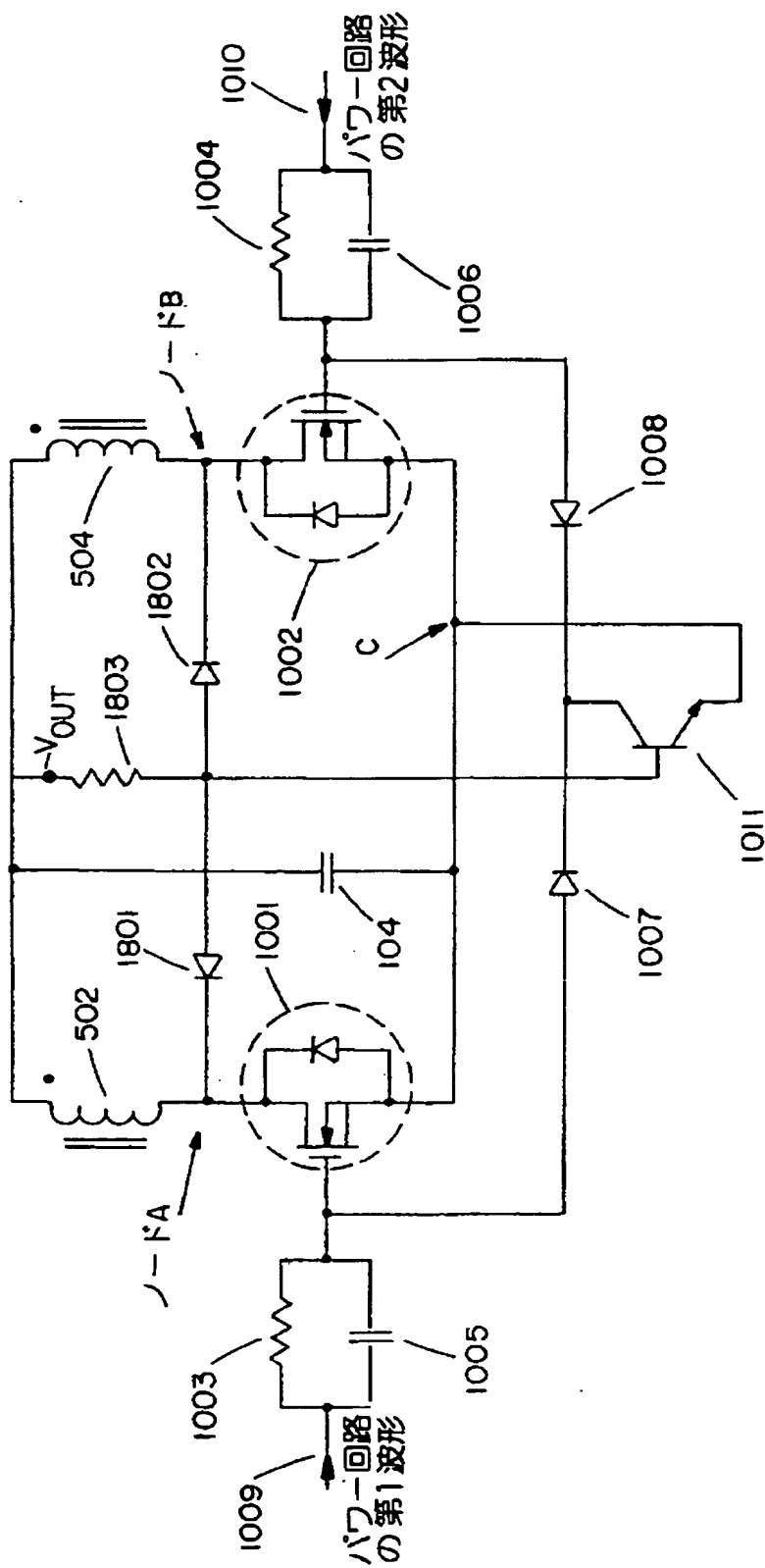
【図16】



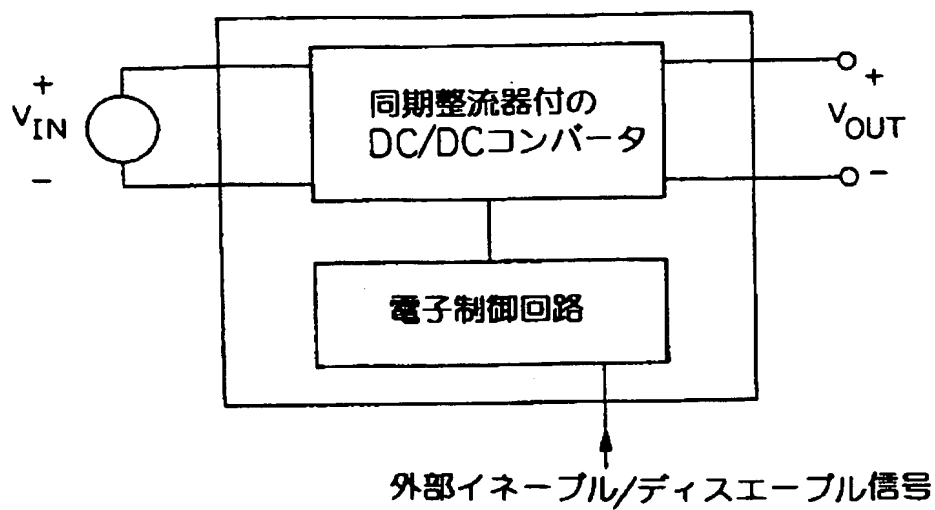
【図17】



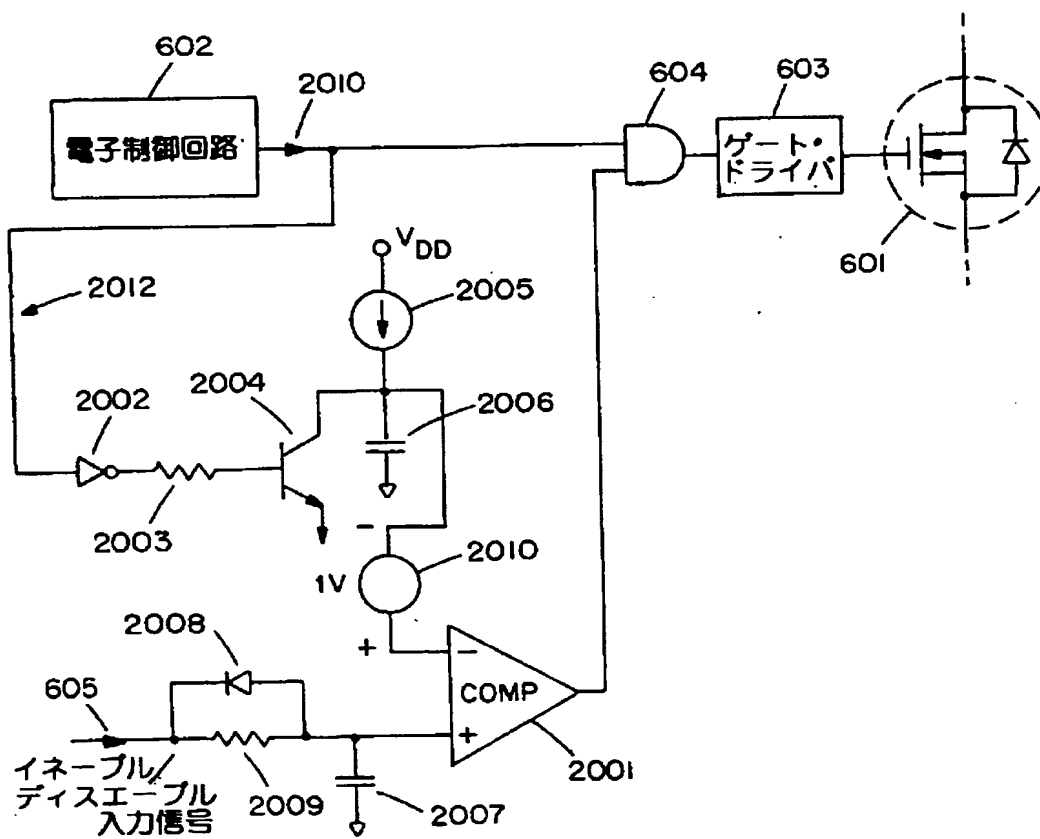
【図18】



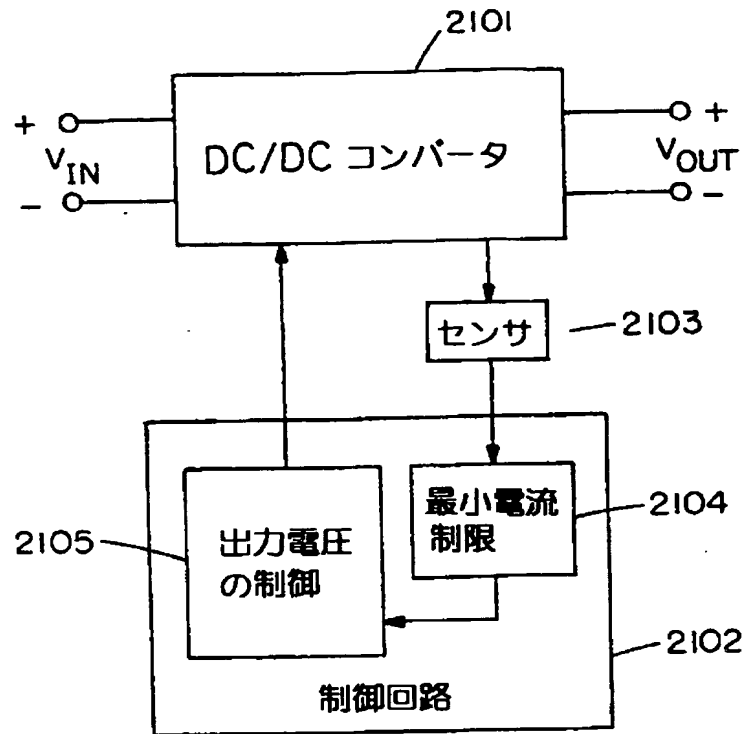
【図19】



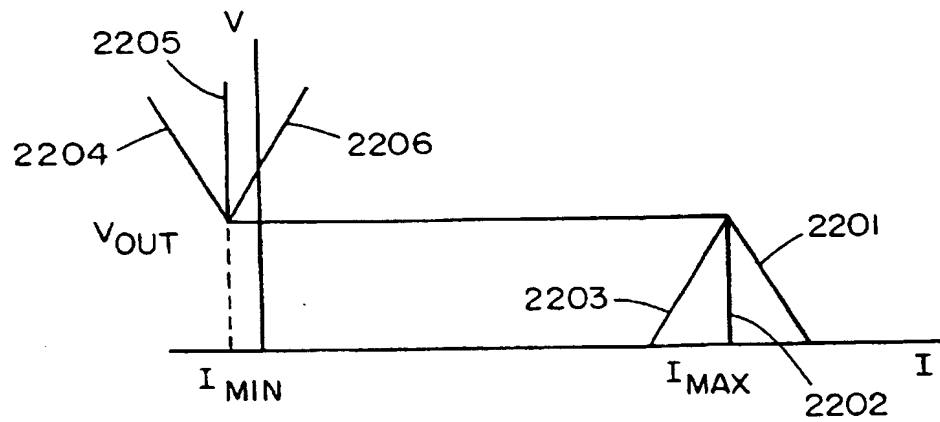
【図20】



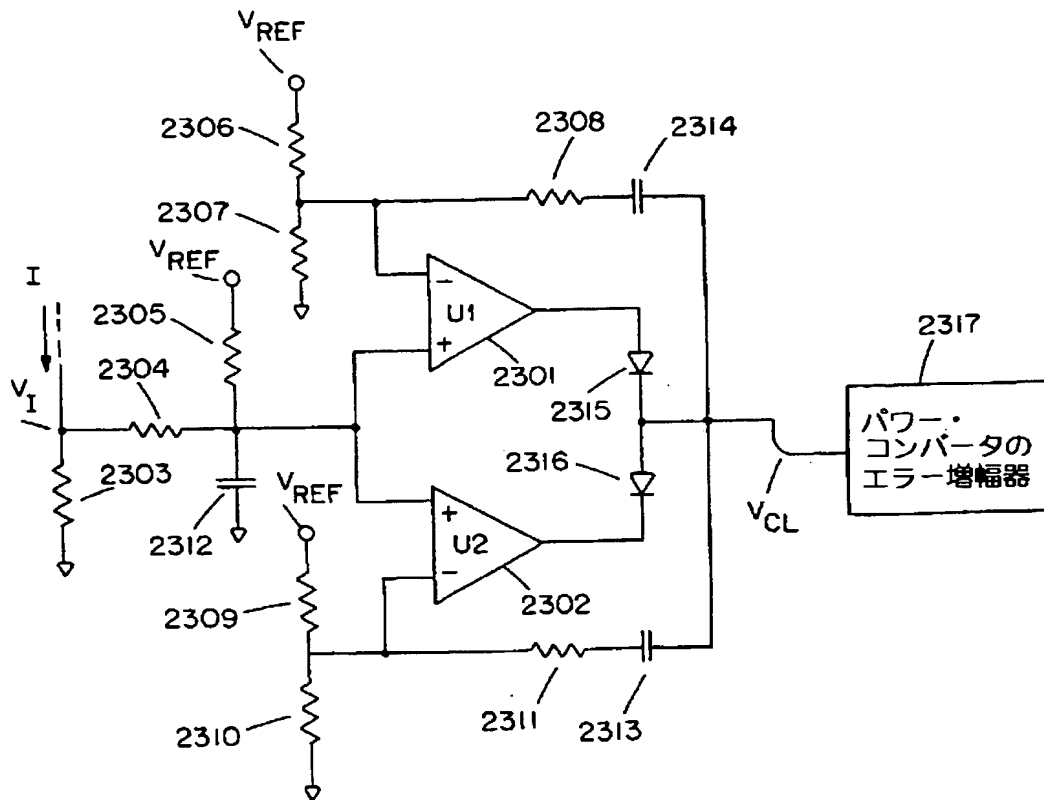
【図21】



【図22】



【図23】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Intern. Application No.
PCT/US 00/18748A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H02M1/00 H02M3/158

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 3 824 450 A (MILES CARRINGTON JOHNSON) 16 July 1974 (1974-07-16) abstract figures 1,2 column 1, line 21 - line 35 column 1, line 51 - line 66 column 3, line 57 - column 4, line 26 ---	1-3,5-8, 56-59 4
X	US 4 924 170 A (CHRISTOPHER P. HENZE) 8 May 1990 (1990-05-08) figures 6-9 column 2, line 66 - column 3, line 17 column 4, line 48 - column 5, line 12 --- -/-	1-3,5-8, 56-59

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application not cited to understand the principle or theory underlying the invention
 "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "A" document member of the same patent family

Date of the actual completion of the international search

18 May 2001

Date of mailing of the international search report

28.05.2001

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3018

Authorized officer

Lund, M

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Intern. appl. No.
PCT/US 00/18748

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indicators, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 583 753 A (TOMIO TAKAYAMA) 10 December 1996 (1996-12-10) figure 8 column 3, line 8 - line 14 column 5, line 64 -column 6, line 5	1-3,5-8, 56-59
X	US 5 834 925 A (JAY A. CHESA VAGE) 10 November 1998 (1998-11-10) abstract column 5, line 13 - line 18; figures 1,5-7 column 1, line 40 -column 3, line 18	1-3,5-8, 56-59
X	DE 34 39 180 A (DR. BRUNO LANGE GMBH) 30 April 1986 (1986-04-30)	1,56
Y	page 7, line 27 -page 8, line 6 figures 1,2	4
X	US 4 318 007 A (LUIGI RIZZI) 2 March 1982 (1982-03-02) abstract figures 6,7 column 2, line 43 -column 3, line 7	1,56
X	US 4 728 807 A (YOSHIHIKO HARAFUJI ET AL.) 1 March 1988 (1988-03-01) column 1, line 54 - line 66	1,56
X	EP 0 741 447 A (AT & T IPM CORP.) 6 November 1996 (1996-11-06)	14,15, 18,27, 60,66
Y	column 11, line 13 - line 32 figure 4	16,39,71
X	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 03, 31 March 1997 (1997-03-31) & JP 08 289538 A (ORIGIN ELECTRIC CO.), 1 November 1996 (1996-11-01) abstract	14,15, 18,27, 60,66
X	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31 July 1997 (1997-07-31) & JP 09 065650 A (NIPPON TELEGRAPH & TELEPHONE CORP.), 7 March 1997 (1997-03-07) abstract	14,15, 18,27, 60,66
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 10, 31 August 1999 (1999-08-31) & JP 11 146637 A (SONY CORP.), 28 May 1999 (1999-05-28) abstract	14,15, 18,27, 60,66

3

-/-

Form PCT/ISA/216 (continuation of second sheet) (July 2002)

INTERNATIONAL SEARCH REPORT

 International Application No.
PCT/US 00/18748

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 03, 28 April 1995 (1995-04-28) & JP 06 339266 A (NEC CORP.), 6 December 1994 (1994-12-06) abstract; figure 6	14
Y	US 5 808 453 A (CHAE LEE ET AL.) 15 September 1998 (1998-09-15) abstract figure 1 column 3, line 2 - line 6	16
A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 10, 31 August 1999 (1999-08-31) & JP 11 136934 A (FUJITSU DENSO), 21 May 1999 (1999-05-21) abstract	16, 37, 38, 41, 49-51, 69, 70, 74
X	US 5 708 571 A (YOSUKE SHINADA) 13 January 1998 (1998-01-13)	37, 38, 41, 49-51, 69, 70, 74
Y	abstract figures 3, 5, 7 column 12, line 49 - line 54	39, 71
X	US 3 754 177 A (ROYAL V. O'REILLY) 21 August 1973 (1973-08-21) abstract column 1, line 20 - line 27 column 1, line 37 - line 44 column 1, line 50 - line 54	37, 38, 41, 49-51, 69, 70, 74
X	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 12, 26 December 1996 (1996-12-26) & JP 08 223906 A (FUJITSU DENSO LTD), 30 August 1996 (1996-08-30) abstract	37, 38, 41, 49-51, 69, 70, 74
X	US 5 200 643 A (STUART C. BROWN) 6 April 1993 (1993-04-06) abstract figures 1-3 column 1, line 61 - column 2, line 30 column 4, line 39 - column 5, line 7 -/--	56-59

INTERNATIONAL SEARCH REPORT

Intern. Appl. No.

PCT/US 00/18748

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 920 475 A (JEFFREY L. BOYLAN ET AL.) 6 July 1999 (1999-07-06) abstract figure 8 column 9, line 2 - line 17 column 11, line 38 - line 45	52,75
A	US 5 687 049 A (VIJAY MANGTANI) 11 November 1997 (1997-11-11) abstract figure 6 column 7, line 14 - line 29	52,75
P,X	EP 0 973 246 A (LUCENT TECHNOLOGIES INC.) 19 January 2000 (2000-01-19) abstract column 2, line 47 - column 3, line 15 column 3, line 23 - line 39 figures 1,3	14,15, 18,27, 60,66

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US 00/18748

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☒ Claims Nos.: 13, 36, 40
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
see FURTHER INFORMATION sheet PCT/ISA/210
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this International application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
2. ☐ As all searchable claims could be searched without error justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
1-8, 14-16, 18, 27, 37-39, 41, 49-60, 66, 69, 71, 74
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM PCTISA/ 210

Continuation of Box I.2

Claims Nos.: 13,36,40

Claim 13 is referring to a circuit involving a transformer with primary and secondary windings but claimed in such a manner, that it is not possible to draw up the circuit in an unambiguous way. This obscurity-situation is further caused by the lack of references (in the claim) to the figures, and no section of the detailed description that clearly corresponds to this claim and could provide problem/solution information and links to the figures.

The detailed description contains passages that involves the same type of elements as included in claim 13, but it would be pure guesswork from the examiner to limit the content of the claim to one of these possible example-outlines and a violation of article 6 PCT.

Claims 36 and 40 are considered obscure for the same reasons as claim 13.

The applicant's attention is drawn to the fact that claims, or parts of claims, relating to inventions in respect of which no international search report has been established need not be the subject of an international preliminary examination (Rule 66.1(e) PCT). The applicant is advised that the EPO policy when acting as an International Preliminary Examining Authority is normally not to carry out a preliminary examination on matter which has not been searched. This is the case irrespective of whether or not the claims are amended following receipt of the search report or during any Chapter II procedure.

FURTHER INFORMATION CONTINUED FROM PCT/SAV 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. Claims: 1-8, 56-59

A DC-DC power converter with override control to the control circuit in order to effect a minimum current limit, where the override control effects a fold-back or fold-forward minimum current limit curve.

2. Claim : 9

A DC-DC power converter with override control to the control circuit in order to effect a minimum current limit, where a signal indicative of output current, being used for the override control, is measured at ORing transistors coupled to the output of the power converter.

3. Claims: 10, 11

A DC-DC power converter with override control to the control circuit in order to effect a minimum current limit, where decision logic is used to disable at least one controlled rectifier (connection switch).

4. Claim : 12

A DC-DC power converter with override control to the control circuit in order to effect a minimum current limit, where the minimum current limit is a negative current.

5. Claims: 14-36, 60-68

AC-DC power converter with a controlled rectifier, used in a power circuit and with a hold-off circuitry that is activated in order to assure that the controlled rectifier is disabled.

6. Claims: 37-51, 69-74

AC-DC power converter with a controlled rectifier, with a decision logic that generates an enable/disable signal and circuit responsive to the enable/disable signal for soft-switching the controlled rectifier.

7. Claims: 52-55, 75, 76

A DC-DC power converter with a circuit for disabling the controlled rectifier when the waveform on the control

International Application No. PCT/US 00 18748

FURTHER INFORMATION CONTINUED FROM PCT/SA/ 210

terminal will not result in correct drive.

INTERNATIONAL SEARCH REPORT

 Intern. Appl. No.
PCT/US 00/18748

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 3824450	A	16-07-1974	NONE		
US 4924170	A	08-05-1990	NONE		
US 5583753	A	10-12-1996	JP	5316721 A	26-11-1993
US 5834925	A	10-11-1998	NONE		
DE 3439180	A	30-04-1986	NONE		
US 4318007	A	02-03-1982	IT	1166875 B	06-05-1987
			AR	224770 A	15-01-1982
			BR	8003550 A	05-01-1981
			DE	3022108 A	08-01-1981
			FR	2458842 A	02-01-1981
			GB	2056199 A	11-03-1981
US 4728807	A	01-03-1988	JP	61042230 A	28-02-1986
			JP	1899798 C	27-01-1995
			JP	6028006 B	13-04-1994
			JP	61042019 A	28-02-1986
			DE	3587331 A	17-06-1993
			DE	3587331 T	19-08-1993
EP 741447	A	06-11-1996	EP	0173104 A	05-03-1986
			US	6038154 A	14-03-2000
			US	6191964 B	20-02-2001
			US	5920475 A	06-07-1999
US 5956245	A	21-09-1999	US	5956245 A	21-09-1999
			US	5956245 A	21-09-1999
			US	5956245 A	21-09-1999
			US	5956245 A	21-09-1999
JP 08289538	A	01-11-1996	NONE		
JP 09065650	A	07-03-1997	NONE		
JP 11146637	A	28-05-1999	NONE		
JP 06339266	A	06-12-1994	JP	2513408 B	03-07-1996
US 5808453	A	15-09-1998	EP	0934622 A	11-08-1999
			WO	9808295 A	26-02-1998
JP 11136934	A	21-05-1999	US	6169675 B	02-01-2001
US 5708571	A	13-01-1998	JP	2806320 B	30-09-1998
			JP	9084337 A	28-03-1997
US 3754177	A	21-08-1973	NONE		
JP 08223906	A	30-08-1996	NONE		
US 5200643	A	06-04-1993	NONE		
US 5920475	A	06-07-1999	US	6038154 A	14-03-2000
			US	6191964 B	20-02-2001
			EP	0741447 A	06-11-1996
			US	5956245 A	21-09-1999
US 5687049	A	11-11-1997	DE	19702134 A	30-10-1997

INTERNATIONAL SEARCH REPORT

 International Application No.
PCT/US 00/18748

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5687049 A		FR 2744295 A GB 2309597 A,B IT MI970134 A JP 9233838 A SG 66347 A	01-08-1997 30-07-1997 24-07-1998 05-09-1997 20-07-1999
EP 973246 A	19-01-2000	US 5940287 A JP 2000050623 A	17-08-1999 18-02-2000

フロントページの続き

- (31) 優先権主張番号 60/146, 252
(32) 優先日 平成11年7月29日(1999. 7. 29)
(33) 優先権主張国 米国(US)
(31) 優先権主張番号 60/172, 884
(32) 優先日 平成11年12月20日(1999. 12. 20)
(33) 優先権主張国 米国(US)
(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW
(72) 発明者 ダンシィ・アブラム
アメリカ合衆国, マサチューセッツ州
01545, シュルーズベリー, グリーンウッド アベニュー 16
(72) 発明者 ロウハイト・レイフ
アメリカ合衆国, ニューハンプシャー州
03750, エトナ, キング ロード 2 1 / 2
(72) 発明者 シュレヒト・マーティン・エフ
アメリカ合衆国, マサチューセッツ州
02421, レキシントン, ウィルソン ロード 11
Fターム(参考) 5H730 BB23 DD04 EE13 FG23